



Le Projet SPIRE

Commissariat à l'Énergie Atomique

ELABORATION D'UN BANC DE TEST ELECTRONIQUE

*Rapport d'activité de
Haro RATSIMANDRESY
Institut Universitaire de Technologie
Cachan
Novembre 2002 – Août 2004*

REMERCIEMENTS

Je tiens, avant toute chose, à adresser mes remerciements à Monsieur LAVOCAT, ancien responsable d'un des laboratoires du SAP (Service d'Astrophysique) du DAPNIA (Département d'Astrophysique, de la physique des Particules, de la physique Nucléaire et de l'Instrumentation Associée), sans qui je n'aurais pu intégrer le CEA afin d'y poursuivre ma formation en alternance. En effet, durant ma recherche d'entreprise, la chance a voulu que lors d'une visite au CEA je rencontre Monsieur LAVOCAT qui m'a immédiatement mis en relation avec les responsables du service susceptible de m'accueillir durant ma formation en électronique par voie d'alternance.

J'adresse également mes remerciements au corps enseignant de l'IUT de Cachan pour la confiance qu'il m'a accordée, et particulièrement monsieur Joël SENPAU-ROCA pour m'y avoir accueilli, et ainsi me permettre d'accéder à cette formation.

Je tiens aussi à souligner les opportunités qui m'ont été offertes par la formation au sein de l'IUT, à savoir cette expérience en entreprise, ainsi que le séjour effectué en Angleterre dans le cadre de visites d'entreprises.

Enfin, je remercie mon maître d'apprentissage au CEA, Eric ZONCA, tuteur ingénieur, pour son implication dans ma formation et Michel MUR, ingénieur chef du laboratoire TRAPS (Traitement des données d'Acquisition des Processeurs Spécialisées), pour m'avoir offert ce poste d'apprenti technicien supérieur.

Mes pensées se tournent également vers toutes les personnes que j'ai eu l'occasion de côtoyer au sein du CEA durant ma formation, Zoulikha GEORGETTE, et Hamid ZAGHIA pour leur bonne humeur et leur gentillesse, ainsi que Jean Louis FALLOU pour sa participation dans ma formation, sa patience et ses précieux conseils qui m'ont permis de la mener à bien, sans oublier les autres stagiaires et apprentis que j'ai eu l'occasion de rencontrer.

Et pour finir, j'aimerais souligner la sympathie, la gentillesse et la disponibilité de toutes les personnes que j'ai eu l'occasion de rencontrer au Service d'Electronique des Détecteurs et de l'Informatique (SEDI), mon service d'accueil.

RESUME

C'est au sein de l'IUT de Cachan 94 en Génie Electrique et Informatique Industrielle (GEII) que j'ai poursuivi cette formation théorique pendant 2 ans, en alternance avec le CEA de Saclay 91 dans lequel j'ai appris le métier de technicien supérieur en électronique dans le cadre de la recherche et du développement, de la conception et de la réalisation d'outils électroniques et informatiques pour un autre service de recherche du même département.

J'ai donc été affecté dans le Service d'Electronique des Détecteurs et de l'Informatique (SEDI), dans une équipe de travail, constituée de techniciens et d'ingénieurs qui ont pour fonction, entre autre, de fournir ces outils électroniques et informatiques aux chercheurs en astrophysique du Service d'AstroPhysique (SAP).

C'est dans le cadre du projet SPIRE (**S**pectral and **P**hotometric **I**maging **R**Eceiver) que j'ai donc pu apprendre pendant ces 2 années de formation le métier de technicien supérieur au CEA de Saclay.

Mon travail durant ces 2 années était de réaliser un banc de test permettant de simuler et d'émuler des signaux d'entrées et de sorties d'un sous système de contrôle (SCU : Subsystem Control Unit) d'un module embarqué à bord d'un satellite (le module SPIRE), ce qui permettra ainsi de valider le fonctionnement de ce sous système avant de l'intégrer à ce module.

ABSTRACT

Last two years, I followed my studies in Electric and Industrial Computing mixing theory, at Cachan Technological Institute and at Saclay Nuclear Energy Center. In this establishment, I learnt how to be an electronics technician in the R&D department where the tools used by another research service in the same department are designed and realized

Then, I have been assigned in a team at the SEDI (Service d'Electronique des Détecteurs et de l'Informatique – Detectors' and Computing' Electronic Service) of the CEA, which is made up of technicians and engineers. They have to provide these electronic and computing tools to the physicians in astrophysics.

Thanks to the SPIRE project (**S**pectral and **P**hotometric **I**maging **R**Eceiver), I had the opportunity to learn technician profession during my practice at the CEA.

My job was to design and realise a test bench which could simulate and emulate I/O signals from a subsystem of control (SCU: Subsystem Control Unit) set in the embedded system SPIRE of the satellite.

This test bench will validate the function of the SCU before setting it in SPIRE.

TABLE DES MATIERES

LISTE DES ACRONYMES UTILISES.....	6
1. INTRODUCTION.....	7
2. LE CEA.....	8
2.1. Rappel historique – La création du CEA.....	9
2.2. Les objectifs et domaines d'activité.....	11
2.3. L'organisation.....	13
3. LE SERVICE D'ELECTRONIQUE DES DETECTEURS ET D'INFORMATIQUE (LE SEDI).....	15
4. LE PROJET SPIRE.....	16
4.1. Le satellite Herschel.....	17
4.2. SPIRE: Spectral and Photometric Imaging Receiver.....	20
5. LA CONCEPTION D'UN BANC DE TEST.....	21
5.1. Le Sub-system Control Unit (SCU).....	21
5.1.1. Présentation.....	21
5.1.2. Principe de fonctionnement.....	24
5.1.3. La mesure 4 fils.....	25
5.2. Le Test of Subsystem Control Unit (TSCU).....	26
5.2.1. Le cahier des charges.....	27
5.2.2. Principe de fonctionnement.....	27
5.2.3. La réalisation.....	28
5.2.3.1.Le Hardware.....	28
5.2.3.2.Le Software.....	29
5.2.4. L'évolution du banc de test.....	30
5.2.5. Quelques difficultés rencontrées.....	35
5.3. Le matériel mis à disposition.....	36
6. L'APPRENTISSAGE.....	43
6.1. Mon insertion dans l'entreprise.....	43
6.2. Le déroulement de la formation.....	43
6.3. Les compétences acquises.....	43
7. BILAN DE LA FORMATION.....	44
7.1. Mon appréciation sur la formation en alternance.....	44
7.2. Mes projets d'avenir.....	44

ANNEXES.....	45
Annexe A : Eléments techniques de l'AD5235 (1024-Position digital potentiometer)...	46
Annexe B : Eléments techniques de l'AD8403 (4-channel digital potentiometer).....	50
Annexe C : Eléments techniques de l'ADuM1400 (Quad-channel digital isolators)	54
Annexe D : Synoptique de la 1 ^{ère} carte TSCU	58
Annexe E : Synoptique de la carte TSCU (TSCU-ANA et TSCU-DIG).....	60
..... Annexe F : Schémas de la carte TSCU-DIG.....	62

LISTE DES ACRONYMES UTILISES

CAO :	Conception Assistée par O rdinateur
CEA :	Commissariat à l'Énergie A tomique
CEN :	Centre d'Étude N ucléaire
CPLD :	Complex P rogrammable L ogic D evice
DAC:	D igital to A nalog C onverter
DAM :	D irection des A pplications M ilitaires
DAPNIA :	D épartement d' A strophysique, de la physique des P articules, de la physique N ucléaire et de l' I nstrumentation A ssociée
DRECAM :	D épartement de R echerche sur l' E tat C ondensé, les A tomes et les M olécules
DRFC :	D épartement de la R echerche sur la F usion C ontrôlée.
DRFMC :	D épartement de la R echerche F ondamentale sur la M atière C ondensée
DPU :	D ata P rocessing U nit
DRT :	D irection de la R echerche T echnologique
DSM :	D irection des S ciences de la M atière
DSV :	D irection des S ciences du V ivant
EPIC :	E tablishement P ublic I ndustriel ou C ommercial
ESA :	E uropean S patial A gency
FPGA :	F ield P rogrammable G ate A rrays
FPU:	F ocal P lan U nit
HIFI:	H eterodyne I nstrument for F IRST
LSCE :	L aboratoire des S ciences du C limat et de l' E nvironnement
PACS:	P hotoconductor A rray C amera and S pectrometer
PSU:	P ower S upply U nit
Rhb:	R ésistance de h arnais b ias
Rhs:	R ésistance de h arnais s ense
SCU:	S ubsystem C ontrol U nit
SEDI :	S ervice d' E lectronique, des D étecteurs, et de l' I nformatique
SPhT :	S ervice de P hysique T héorique
SPIRE :	S pectral and P hotometric I maging R Eceiver
STUC :	S onde de T est avec U SB C onfigurable
TRAPS :	T Raitement des données d' A cquisition des P rocesseurs S pécialisées
TSCU :	T est of S CU
TSCU-ANA:	T est of S CU- A Nalogique
TSCU-DIG:	T est of S CU- D IGital
VHDL:	V ery H igh S peed I ntegrated C ircuit H ardware D escription L anguage

1 INTRODUCTION

Les observations réalisées au moyen de l'instrument SPIRE, l'un des 3 modules embarqués sur le satellite Herschel, ont pour but d'améliorer notre compréhension des processus qui entrent en jeu dans la formation des galaxies et des étoiles. Pour la plupart des galaxies, la majeure partie des rayonnements émis se situent dans l'infrarouge lointain. Cette situation est la même pour les étoiles qui amorcent leur cycle de vie. Les rayons ultraviolets qu'elles émettent sont souvent absorbés par les immenses nuages de particules de poussière qui les entourent. La poussière ainsi chauffée se refroidit en émettant un rayonnement infrarouge. Pour comprendre les processus qui se produisent dans une galaxie, il est essentiel de mesurer l'énergie totale émise dans toutes les longueurs d'ondes. Le flux (« lumière ») émis par les étoiles et les galaxies se situe principalement dans le spectre infrarouge. Les observations effectuées avec l'instrument SPIRE fourniront des données essentielles à la réalisation d'une étude complète de ces objets. SPIRE effectuera une étude à grande échelle du ciel avec une haute résolution angulaire et mesurera également le flux émis dans plusieurs longueurs d'ondes, ce qui permettra de recueillir des données importantes sur la distribution de l'énergie spectrale des étoiles et des galaxies. Ainsi, les scientifiques seront en mesure de mieux comprendre les caractéristiques globales des galaxies et des étoiles, apportant ainsi des éléments de réponse aux questions de longue date qui se posent sur le moment de la formation des étoiles et des galaxies.

Ce rapport d'activité portera sur la formation en apprentissage que j'ai suivie et sur mon travail au sein du CEA en tant qu'apprenti technicien supérieur.

C'est dans le cadre du projet SPIRE qu'aura lieu la majeure partie de mon travail. Il portera plus particulièrement sur le banc de test TSCU qui doit valider le fonctionnement du SCU avant son intégration au module SPIRE.

Dans un 1^{er} temps nous verrons une présentation de l'environnement dans lequel j'ai poursuivi cette formation : le CEA. Puis nous aborderons le SEDI, service technique qui participe à plusieurs projets dont SPIRE.

Dans un 2nd temps nous aborderons la partie qui concerne mes activités sur le centre. Elles constituent essentiellement la conception et la réalisation d'un banc de test qui devra permettre de valider le fonctionnement d'un sous système de SPIRE.

Il sera donc nécessaire d'effectuer une étude préalable de ce sous système afin de répondre correctement au cahier des charges.

Par la suite seulement nous pourrons entamer une réponse à la question comment concevoir et réaliser un banc de test.

Pour cette conception et réalisation, il sera intéressant de voir de quels moyens matériels on dispose ainsi que toute la partie qui concerne

2 LE CEA

D'un point de vu juridique, le CEA est ce qu'on appelle un EPIC (Etablissement Public Industriel ou Commercial), ce qui lui permet de profiter d'une structure administrative autonome qui offre à ses dirigeants une certaine liberté d'action, et d'user d'un cadre budgétaire et comptable moins contraignant que celui de l'Etat.

Il est un des principaux actionnaires du groupe AREVA, leader mondial dans les métiers de l'énergie nucléaire et l'acheminement de l'électricité. L'AREVA est également un acteur de 1^{er} plan pour la connectique dans les domaines de la télécommunication, de l'automobile et de l'informatique.

Le CEA en quelques chiffres :

- 15024 salariés
- Budget : 2.7 milliards d'euros
- 4 pôles scientifiques :
 - Energie nucléaire
 - Défense
 - Recherche fondamentale
 - Recherche technologique
- 1689 brevets déposés ou en vigueur
- 1300 contrats signés avec l'industrie
- 419 accords de licence en vigueur (brevets, savoir-faire et logiciels)
- 51 accords-cadres en vigueur avec les universités et les écoles
- 83 nouvelles entreprises créées depuis 1984 dans le secteur des hautes technologies
- 9 centres de recherche



2.1 Rappel historique – La création du CEA

1896 : Le physicien français Henri BECQUEREL s'aperçoit que l'uranium a la propriété d'émettre par lui-même un rayonnement particulier. Il vient de découvrir le phénomène de radioactivité naturelle.

1903 : Henri BECQUEREL, et Pierre et Marie CURIE reçoivent conjointement le Prix Nobel de physique pour la découverte de la radioactivité naturelle.

1911 : Caractérisation de l'atome par Ernest RUTHERFORD.
Le chimiste anglais Frédéric SODDY démontre l'existence des isotopes.

1932 : L'anglais James CHADWICK démontre l'existence de neutron, particule fondamentale de la matière.

1934 : Les français Frédéric JOLIOT et Irène CURIE découvre la radioactivité artificielle.

1939 : Découverte de la fission par les allemands Otto HAHN, Lise MEITNER et Otto FRISH.
Quelques mois plus tard, en France, Hans von HALBAN, Frédéric JOLIOT et Lew KOWARSKI imaginent la possibilité d'une réaction en chaîne.

1945 : Le 18 octobre, l'ordonnance de création du CEA est approuvée par le gouvernement du Général De GAULLE

1947 : Face au défi scientifique à relever, un grand centre de recherche nucléaire, celui de Saclay, a été créé.

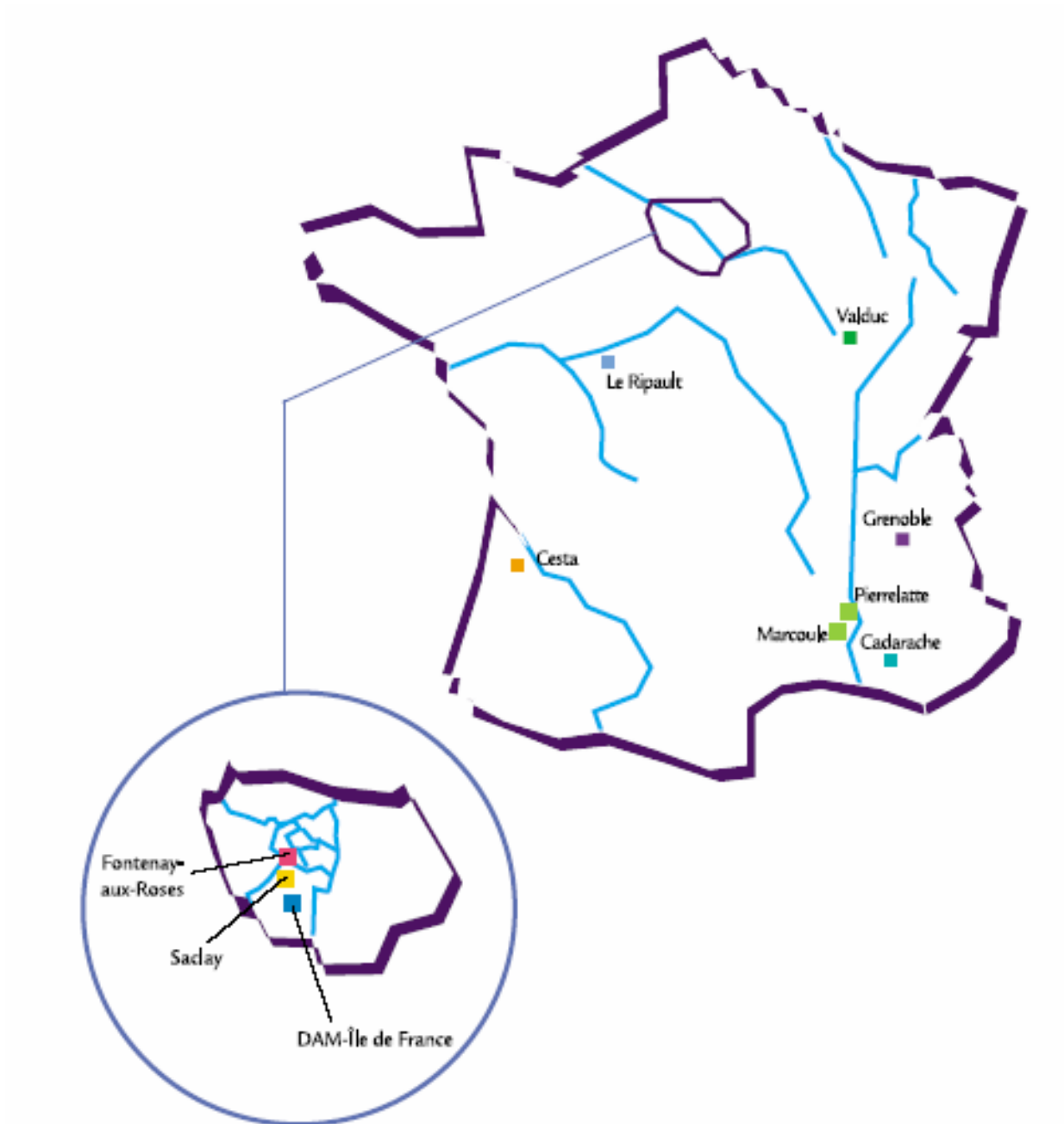
Dans l'urgence, un 1^{er} site à Fontenay Aux Roses a été ouvert dans l'attente de la mise en service du site de Saclay en 1952.

1948 : Le 15 décembre, la 1^{ère} pile atomique française baptisée Zoé voit le jour sur le site de Fontenay Aux Roses.

1952 : Ouverture du CEN (Centre d'Etude Nucléaire) de Saclay.



Durant les 10 années qui ont suivi l'ouverture du centre de Saclay, plusieurs autres centres ont vu le jour dans toute la France : Limeil, Vaujours, Bruyères le Châtel, Marcoule, Grenoble, Valduc, Moronvilliers, Cadarache et Ripault.



2.2 Les objectifs et domaines d'activité

2 objectifs majeurs :

A travers la diversité de ses programmes, le CEA poursuit deux objectifs majeurs :

- **devenir le premier organisme européen de recherche technologique**
- **garantir la pérennité de la dissuasion nucléaire.**

Pour y parvenir il dispose de plusieurs atouts :

- **une culture croisée ingénieurs chercheurs, propice aux synergies entre recherche fondamentale et innovation technologique**
- **des installations exceptionnelles (supercalculateur, réacteurs de recherches, grands instruments de la physique, lasers de puissance...)**
- **une réelle implication dans le tissu industriel et économique.**

Implanté sur **9 centres** répartis dans toute la France, le CEA bénéficie d'une forte insertion régionale et de solides partenariats avec les autres organismes de recherche, collectivités locales et universités.

Afin de favoriser le transfert des connaissances, il accorde une importance particulière à **l'enseignement et à l'information du public.**

Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans **l'espace européen de la recherche** et exerce une présence croissante au niveau **international.**

Acteur majeur en matière de recherche, de développement et d'innovation, le CEA intervient dans trois grands domaines : **l'énergie, les technologies pour l'information et la santé, et la Défense.**

3 domaines d'activité :



Dans le domaine de l'énergie nucléaire, le CEA mène des recherches en soutien aux industriels pour le présent et l'avenir. Depuis les recherches sur la gestion des déchets jusqu'au concepts des réacteurs du futur, il œuvre aussi pour le développement de nouvelles technologies de l'énergie, en particulier l'hydrogène.

Enfin, il s'appuie pour cela sur une recherche fondamentale de haut niveau dans le domaine de matière et du vivant.



Leader dans le domaine des micro et nanotechnologies, le CEA a su conjuguer les recherches fondamentales et l'innovation technologique au service de l'industrie. Il a su également développer des technologies logicielles, enjeux majeurs pour les applications de demain.

Il est par ailleurs un acteur incontournable dans l'imagerie médicale et les nouveaux outils pour la biologie.



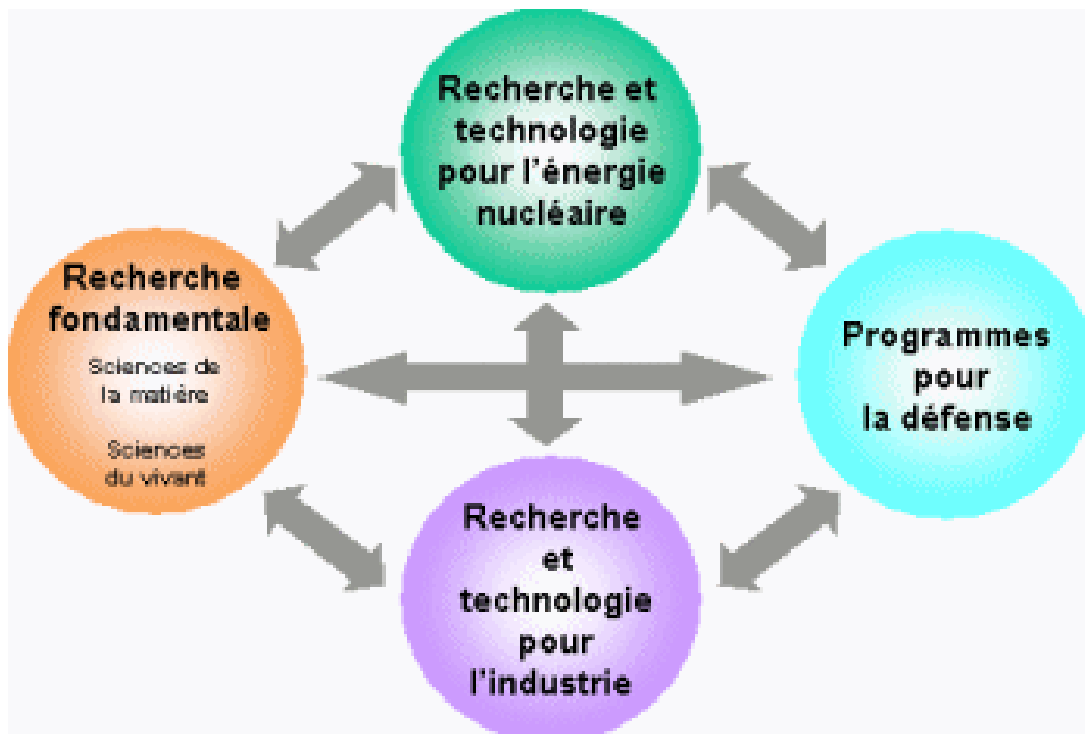
Le CEA joue un rôle majeur dans le maintien à long terme de la capacité de dissuasion nucléaire française. La Direction des Applications Militaires (DAM) a pour mission de concevoir, fabriquer et entretenir les têtes nucléaires des missiles. Elle conçoit les chaufferies des bâtiments à propulsion nucléaire de la marine nationale et participe à leur entretien.

Enfin, elle assure l'approvisionnement des matières nucléaires et contribue à la surveillance des traités internationaux et à la lutte contre la prolifération et le terrorisme.

2.3 L'organisation

Le CEA s'organise autour de 4 grands pôles scientifiques tous reliés les uns aux autres:

- La Direction des Applications Militaires (DAM)
- La Direction de la Recherche Technologique (DRT)
- La Direction des Sciences du Vivant (DSV)
- La Direction des Sciences de la Matière (DSM)



Chaque direction est divisée en plusieurs départements.

J'ai été affecté est la DSM, qui, au sein du pôle de recherche du CEA, travaille autour de 4 grands axes majeurs :

- 1) Connaissance de la matière
- 2) Recherche fondamentale pour l'énergie
- 3) Sciences du climat et de l'environnement
- 4) Recherche de base pour l'innovation industrielle

Cette direction se divise elle-même en plusieurs départements :

- Le DAPNIA : **D**épartement d'**A**strophysique, de la physique des **P**articules, de la physique **N**ucléaire, et des **I**nstrumentations **A**ssociées.
- Le DRECAM : **D**épartement de **R**echerche sur l'**E**tat **C**ondensé, les **A**tomes et les **M**olécules.
- Le DRFC : **D**épartement de la **R**echerche sur la **F**usion **C**ontrôlée.
- Le DRFMC : **D**épartement de la **R**echerche **F**ondamentale sur la **M**atière **C**ondensée
- Le LSCE : **L**aboratoire des **S**ciences du **C**limat et de l'**E**nvironnement
- Le SPhT : **S**ervice de **P**hysique **T**héorique

C'est au sein du DAPNIA que j'ai été accueilli pour mes 2 années de formation en alternance.

Le DAPNIA étant lui-même divisé en plusieurs services, dont le Service d'Electronique des Détecteurs et d'Informatique (SEDI), le service d'accueil, et le Service d'AstroPhysique (SAP), ce pour lequel l'équipe qui m'a accueilli conçoit et réalise des outils électroniques et informatiques pour leurs recherches.

3 LE SERVICE D'ELECTRONIQUE DES DETECTEURS ET D'INFORMATIQUE (LE SEDI)

Le SEDI effectue des recherches et développe de nouveaux concepts dans les domaines de la détection des particules ou du rayonnement, de l'électronique d'acquisition ainsi que les outils logiciels associés.

Il assure la conception, le suivi de la réalisation et la mise en œuvre d'ensembles de détection dans le cadre des programmes du département.

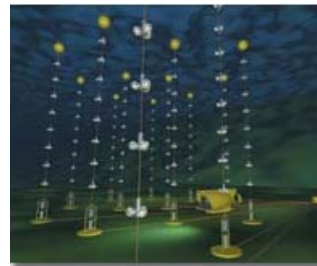
Il conçoit et développe les circuits électroniques et les logiciels destinés à acquérir et à traiter en « temps réel » les données issues de ces mêmes ensembles de détection, ainsi que les outils logiciels spécifiques destinés à l'analyse des données issues des expériences de physique.

Il assure la mise en œuvre et le maintien des moyens de caractérisation et d'essais des chaînes de détection. Il est également en charge du développement et de la maintenance de l'environnement informatique nécessaire aux activités du département (serveurs, réseaux, bureautique, intranet ...), ainsi que de l'approvisionnement et de la gestion des composants électroniques utilisés sur les projets et expériences.

Une relation étroite est entretenue avec le Service d'AstroPhysique, dont la fonction est d'étudier les corps célestes sur une large gamme de longueurs d'onde, avec un fort accent porté sur les hautes énergies (rayons X et gamma) et l'infrarouge. Ses thématiques portent sur la physique des objets compacts (étoiles à neutrons, trous noirs, ...), la naissance et l'évolution des étoiles, le cycle de la matière dans les galaxies et la formation et l'évolution des grandes structures dans l'univers.

Le SEDI a participé à plusieurs projets dont :

ANTARES :
Détection sous-marine de neutrinos
cosmiques de hautes énergies



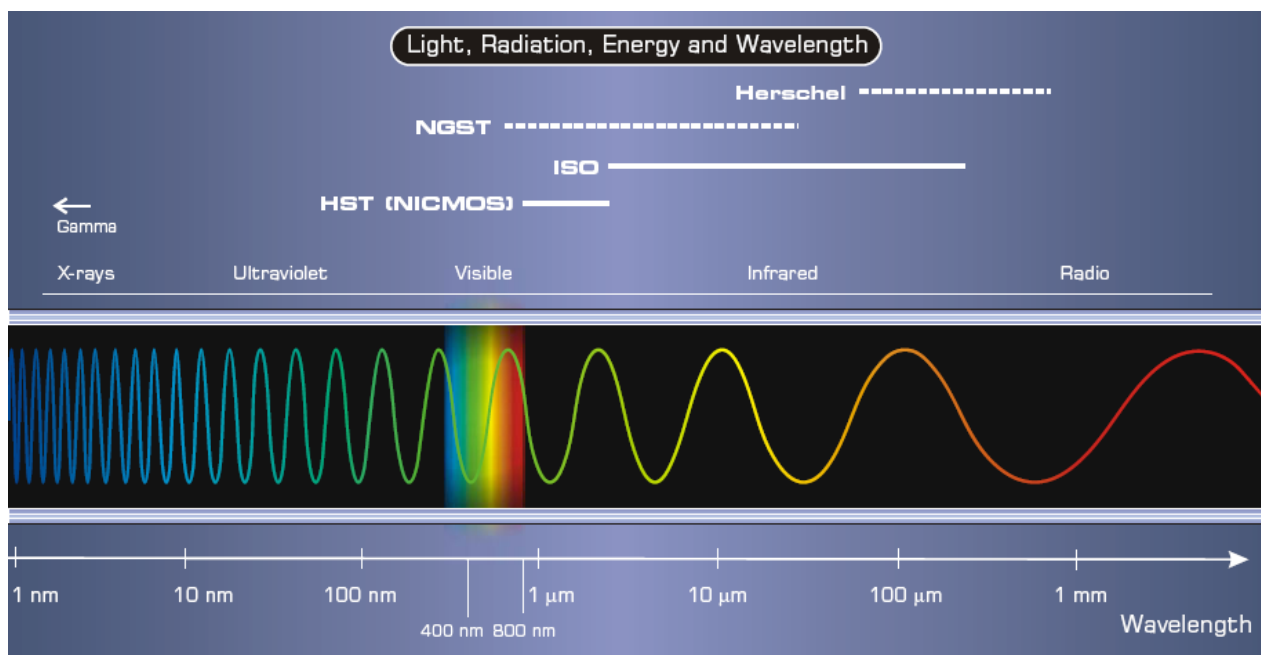
XMM Newton :
Sondage profond de l'univers réalisé
dans le domaine des rayons X

4 LE PROJET SPIRE

En 2007 il est prévu d'envoyer de 2 satellites par Ariane 5, le satellite **Herschel** précédemment appelé FIRST (Far InfraRed and Submillimeter Telescope), et le satellite **Planck** dont la principale fonction sera d'étudier le « bruit de fond » cosmique.

L'une des principales fonctions d'Herschel est de mesurer et d'étudier les émissions des étoiles, dans une partie du ciel connu, à une fréquence différente de celle perceptible par l'œil humain (ici la gamme de fréquence étudiée est une partie de l'infrarouge).

Travaillant à la fois dans l'infrarouge proche et profond et jusque dans les bandes submillimétriques (57 à 670 μm), Herschel poursuivra l'exploration photométrique et spectroscopique de l'univers "froid", étudiant la formation et l'évolution des galaxies, le milieu interstellaire et ses poussières, la formation des étoiles et les disques protoplanétaires. Il cherchera également des traces d'eau dans les autres systèmes stellaires.



4.1 Le satellite Herschel

Herschel est un satellite de l'agence spatiale européenne (ESA). Doté d'un télescope refroidi à 80 °K de 3.5 m de diamètre, il sera équipé de 3 instruments de spectroscopie, imagerie et spectro-imagerie opérant de 60 à 700 microns (domaine sub-millimétrique). L'objectif principal de Herschel est de mieux comprendre les processus de formation des étoiles et des galaxies. En effet, lors des phases de contraction des nuages de gaz destinés à former des étoiles, les températures atteintes sont telles (10-30K) que l'essentiel du rayonnement est émis dans le sub-millimétrique. Quant aux galaxies, on suppose que leurs premiers stades d'évolution se manifestent par de très violents épisodes de formation stellaire, enfouis dans de très denses nuages de poussière. Avec l'effet de décalage spectral dû à l'expansion de l'Univers, le rayonnement de cette poussière est à nouveau à chercher dans le domaine sub-millimétrique.



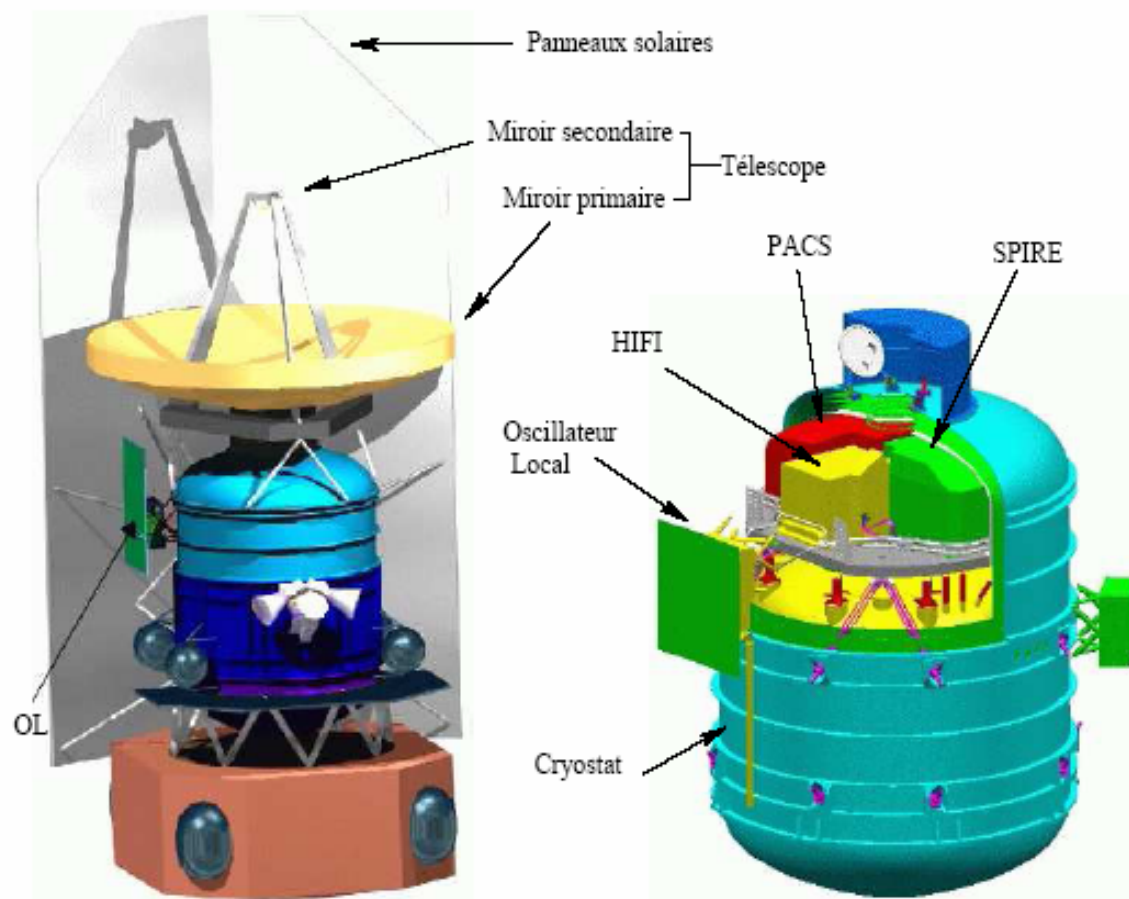
Pour atteindre cet objectif, 3 sous-ensembles d'instruments de mesure embarqués ont été développés conjointement par le CEA et d'autres centres :

- SPIRE: **S**pectral and **P**hotometric **I**maging **R**Eceiver
- PACS: **P**hotoconductor **A**rray **C**amera and **S**pectrometer
- HIFI: The **H**eterodyne **I**nstrument for **F**IRST

SPIRE est un photomètre imageur de 3 plans focaux, et un spectromètre à transformée de Fourier de 2 plans focaux de micro bolomètres.

PACS est un photomètre imageur de 2 plans focaux de micro bolomètres et un spectromètre à réseau de 2 plans focaux de photoconducteurs.

HIFI est un spectromètre à très haute résolution et un spectromètre dit « large bande ».



Les instruments SPIRE et PACS constituent des spectromètres photomètres infrarouges travaillant dans des gammes de longueurs d'ondes complémentaires.

Ils fonctionnent sur un principe similaire, celui de la détection bolométrique: la détection des photons se fait en mesurant l'élévation de température que produit leur absorption par un matériau. La sélection en longueur d'onde est faite par des filtres et par l'ajustement des propriétés géométriques du matériau absorbant.

4.2 SPIRE: Spectral and Photometric Imaging Receiver

Principe de la manipulation :

Les étoiles que l'on veut mesurer émettent à des fréquences de l'ordre de l'infrarouge.

A ces fréquences, les mesures se font à l'aide de bolomètres.

Le principe des bolomètres est de mesurer la variation de chaleur observée sur le plan focal du module de mesure.

Cette variation donnera par la suite les renseignements sur la distance et la luminosité de l'étoile étudiée, après comparaison avec une étoile connue.

Cette variation étant infime, il est indispensable de conserver le plan focal dans un milieu froid pour pouvoir observer ces variations.

La température utilisée est SubK = 300 mK.

Pour atteindre cette température on passe par 16 paliers de températures régulés par le SCU.

La régulation de toutes les résistances se fait par la méthode de **la mesure 4 fils**.

5 LA CONCEPTION D'UN BANC DE TEST

5.1 Le SCU (Subsystem Control Unit)

5.1.1 Présentation

Le SCU constitue un sous-système du module SPIRE. Il est chargé de fonctions d'acquisition, de contrôle, de support et d'aiguillage :

- Contrôle et aiguillage des chauffettes du cryo-cooler permettant d'atteindre la température SubK = 300mK.
- Contrôle et aiguillage des calibreurs du photomètre et du spectromètre IR.
- Acquisition des signaux du FPU (Focal Plan Unit), sous-système en charge de la mesure thermique (partie plan focal).
- Contrôle logique (On/Off) de quelques alimentations d'autre sous-système de SPIRE.
- Aiguillage de ces alimentations.

Le SCU est entièrement supervisé par le logiciel provenant du DPU.

Le DPU est un autre sous système de SPIRE ayant pour rôle de faire l'interface entre la Terre et le SCU de manière bidirectionnel :

- D'une part il reçoit les commandes de la Terre et les délivre au SCU qui les exécute.
- D'autre part il reçoit les données du SCU et les renvoie sur Terre pour qu'elles soient traitées mais peu aussi les traiter directement en fonction des paramètres de réglage qui lui ont été intégrés de la Terre.

Une fois initialisé, le SCU répond aux 1^{ères} commandes du DPU provenant de l'interface de commande.

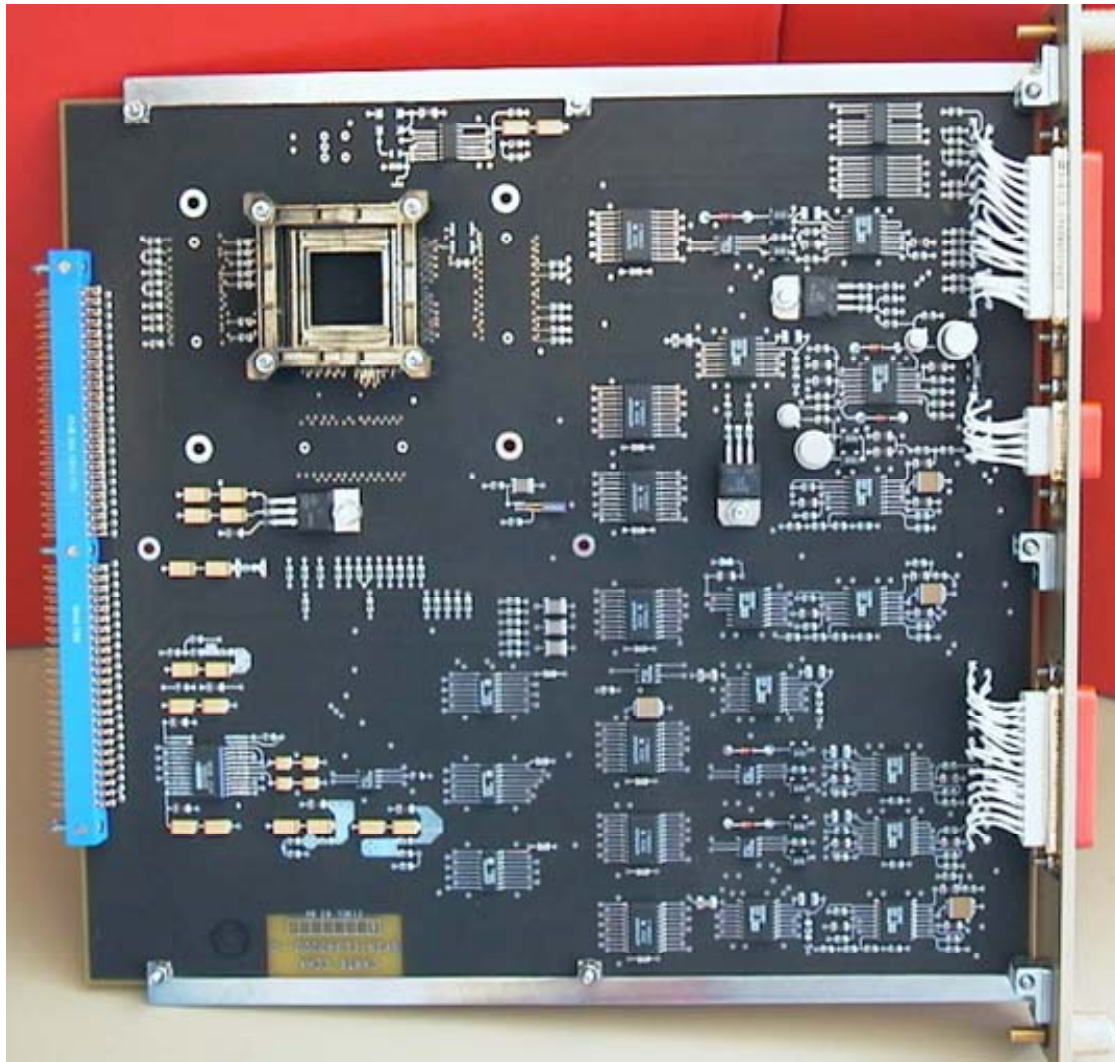
Ces commandes d'abord mettent en place la configuration demandée puis lance l'une des opérations citée au-dessus du SCU.

Le SCU est divisé en 2 cartes électroniques :

- La carte CchKif
- La carte Temp

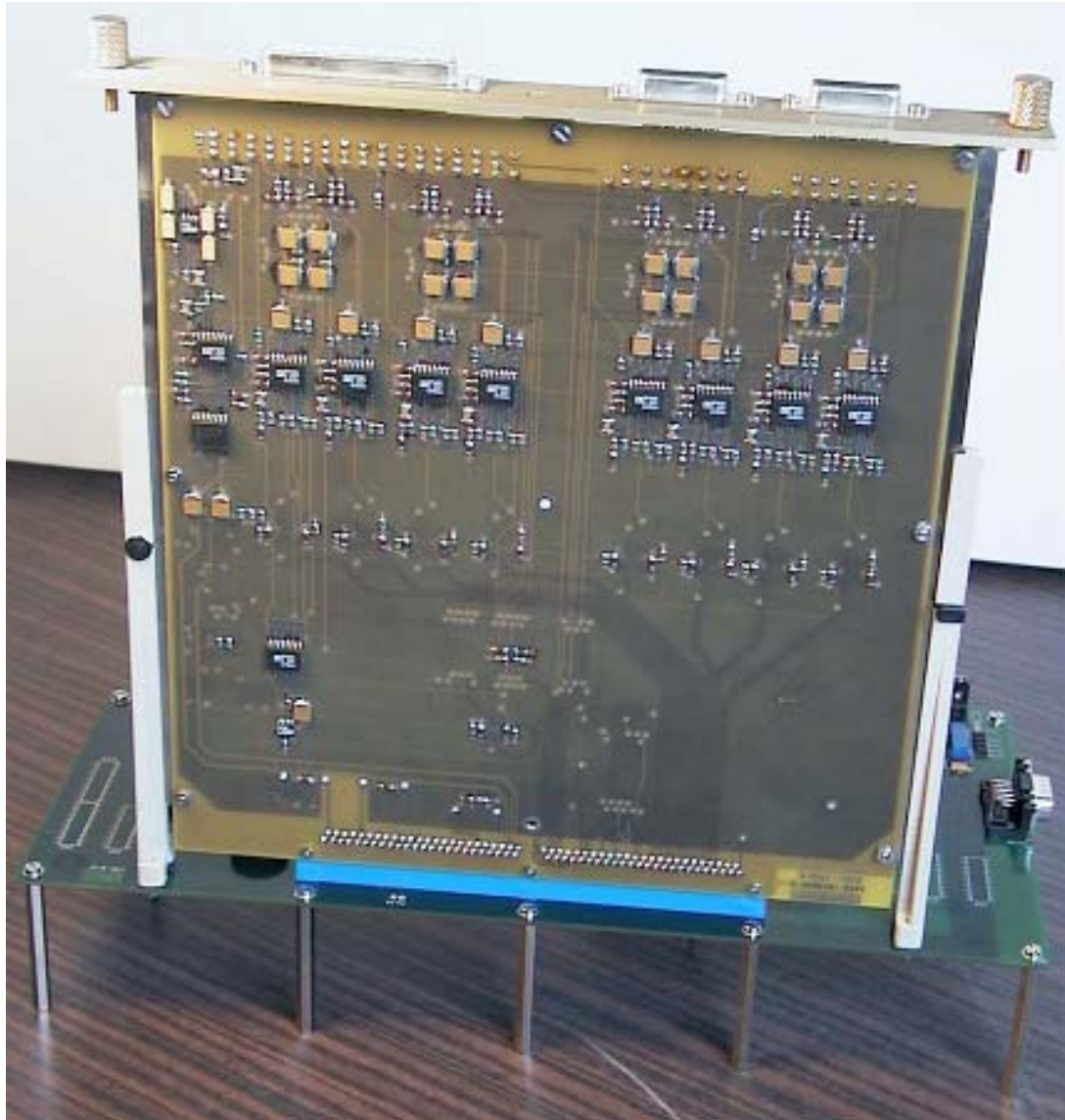
Les 2 cartes étant reliées par une interface commune, appelé Backplane, qui reçoit du Power Supply Unit (PSU), un autre sous système de SPIRE, une 2^{nde} alimentation pour le SCU.

La carte CchKif



La carte CchKif est chargée d'aiguiller les signaux correspondant aux chaufferettes et aux calibreurs.

La carte Temp



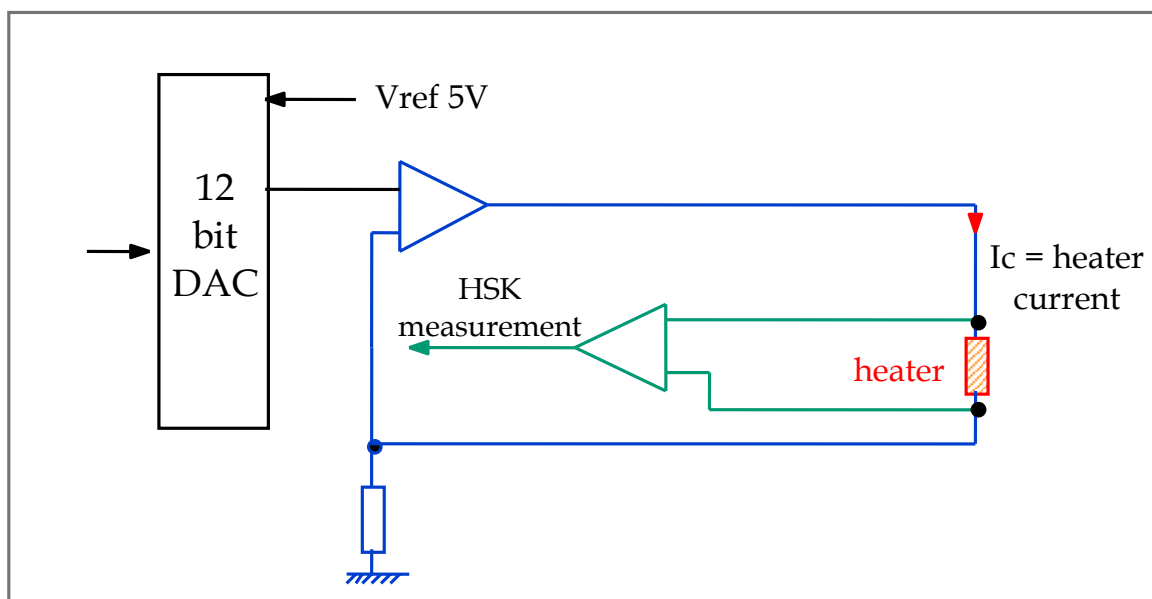
La carte Temp est chargée d'aiguiller les signaux correspondant aux 16 températures permettant d'atteindre la SubK

5.1.2 Principe de fonctionnement

On pointe le télescope sur une étoile connue (luminosité connue), on étalonne avec les calibreurs.

Le Digital to Analog Converter (DAC) est réglé en fonction de cette étoile connue (les résistances « chauffettes » sont chauffées jusqu'à obtenir le bon niveau). Ensuite on pointe sur une étoile inconnue et on recherche le bon niveau de chauffe. On en déduit ainsi sa luminosité et sa distance.

Par un principe d'asservissement, la régulation des résistances paliers se fait par une mesure de type 4 fils, permettant de contrôler régulièrement et de manière automatique leurs valeurs.



5.1.3 La mesure 4 fils

Lors de la manipulation, on se retrouve avec des problèmes au niveau de la mesure des résistances paliers permettant d'atteindre les 300 mK.

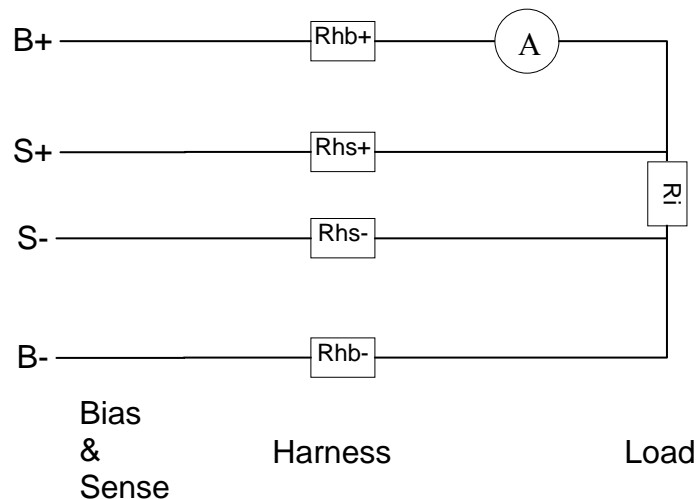
En effet, pour atteindre les conditions nécessaires pour effectuer les mesures des rayonnements infrarouges émises par les étoiles, il est nécessaire d'isoler au maximum le module qui prend en charge cette mesure, le FPU (Focal Plan Unit), et de le maintenir éloigné de tout appareil pouvant faire varier sa température.

Malheureusement, on est contraint d'utiliser des harnais dont l'impédance augmente avec la longueur, ce qui fausse toutes les mesures effectuées au niveau de la résistance de charge.

C'est pour cela que l'on effectue directement notre mesure au niveau de la résistance de charge du FPU à l'aide d'un autre jeu de harnais de résistance négligeable devant celle de l'appareil de mesure entre S+ et S-. Ainsi il ne reste qu'à effectuer l'opération nécessaire permettant de donner la valeur exacte de la tension U entre S+ et S-.

Connaissant la tension U et l'intensité I par l'ampèremètre A, on obtient la valeur de la résistance de charge R_i par l'opération :

$$R_i = U / I$$



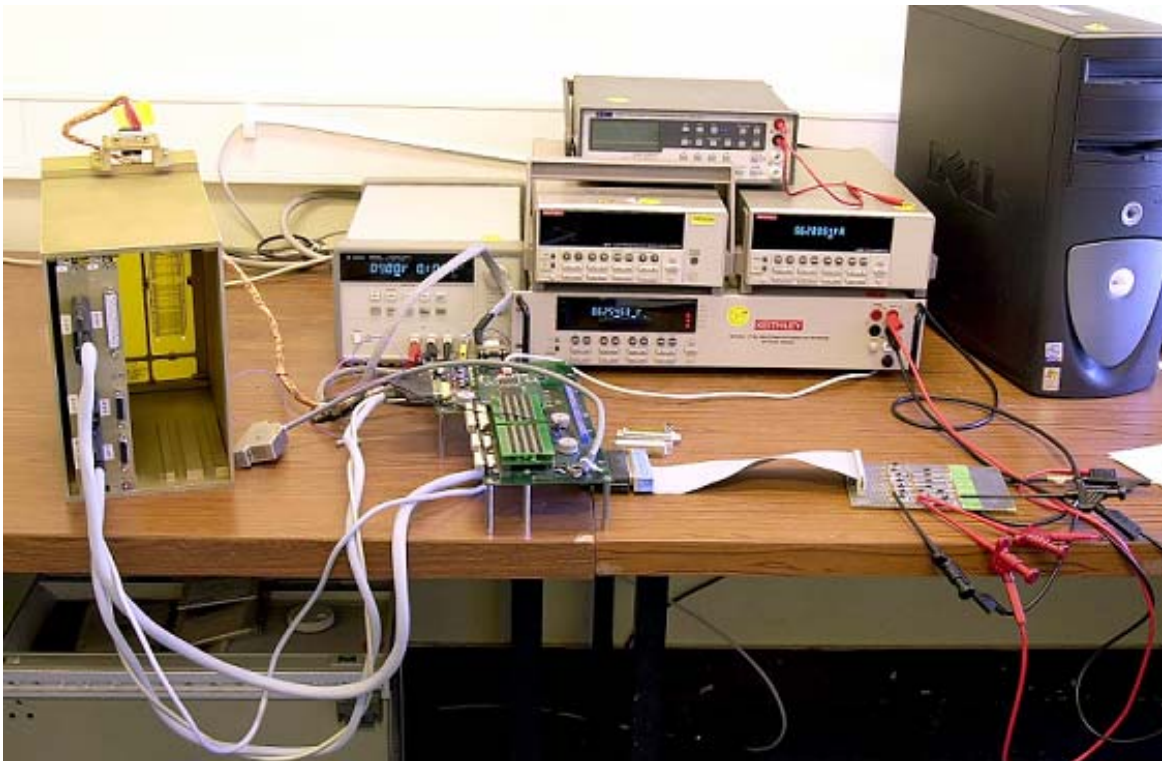
5.2 Le banc de test TSCU (Test Subsystem Control Unit)

Au sein du SEDI, le travail qui m'a été confié pendant mes 2 années de formation en apprentissage fut la conception et l'élaboration d'un banc de test (TSCU) permettant de valider le fonctionnement de la carte SCU.

Ce banc de test permettra :

- Une simulation et une émulation des signaux qui doivent être reçus par le SCU.
- Une étude sur le comportement du SCU lors d'acquisition de données
- Une comparaison des résultats obtenus par le SCU avec ceux obtenus d'une part par le TSCU, et d'autre part par un PC relié aux 2 cartes.

Il fonctionnera de manière bidirectionnelle avec tous les autres appareils de mesure, ordinateur et SCU.



Ce banc de test sera constitué d'une partie analogique et d'une partie digitale.

L'intérêt étant l'isolation de ces parties l'une de l'autre, ce qui empêchera la propagation de bruit ou parasite émis par les alimentations, permettant ainsi d'avoir des mesures correctes.

5.2.1 *Le cahier des charges*

Il doit répondre aux différentes fonctions prises en charge par le SCU, aussi bien au niveau des émissions qu'au niveau des réceptions de signaux, et effectuer les mesures nécessaires via les appareils de mesures KEITHLEY pour rendre compte du bon fonctionnement ou non de la carte SCU.

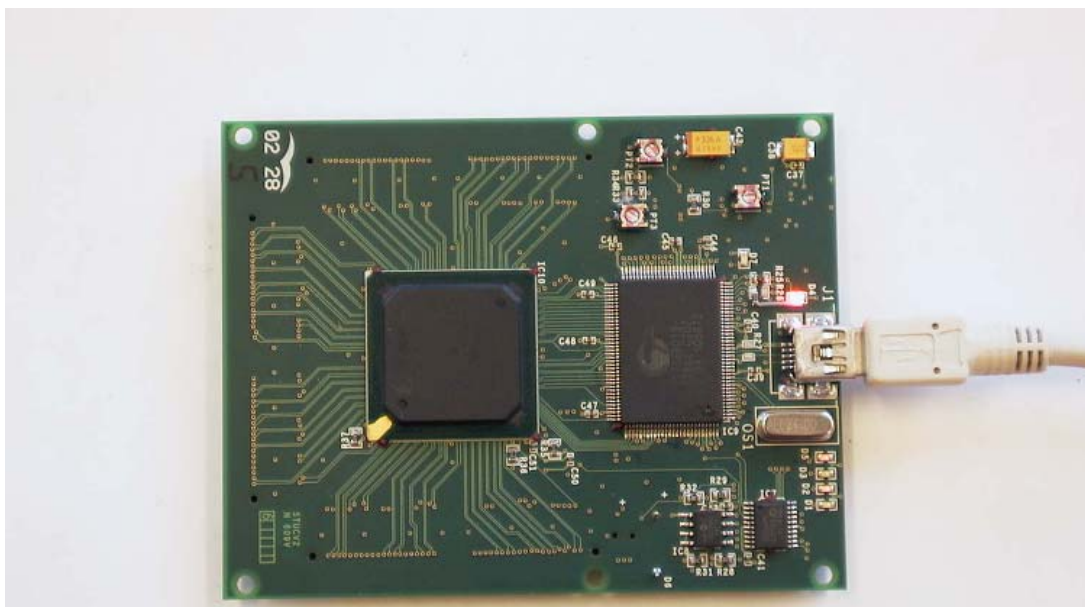
Ces fonctions sont essentiellement :

- Commander les switches
- Simuler les résistances des harnais
- Simuler les résistances de charge
- Pilotage des appareils de mesures KEITHLEY

5.2.2 *Principe de fonctionnement*

Le test bench va envoyer à la carte SCU toutes les commandes et paramètres reçus de l'ordinateur via la sonde STUC par le port USB

La carte STUC est une sonde de programmation configurable via un port USB. Elle permettra d'aller écrire le TSCU les commandes désirées.



5.2.3 La réalisation

5.2.3.1 Le Hardware

Modélisation des différentes résistances :

Résistances de harnais :

- R_{hb+}
- R_{hb-}
- R_{hs+}
- R_{hs-}

Pour ces 4 résistances on utilisera un potentiomètre digital AD8403.

Résistances de charge:

- RL1: ¼ AD8403
- RL2: ½ AD5235-25k
- RL3: ½ AD5235-25k et ¼ AD8403
- RL4: ½ AD5235-250k et ½ AD5235-25k
- RL5: connecteur
- RL6: connecteur

Les différentes combinaisons de potentiomètres digitaux permettent de régler la précision de la résistance de charge entre 1kΩ et 250kΩ.

Sont appelés « digipots » les potentiomètres numériques, ou digitaux.

L'AD8403 (4-channel digital potentiometer)

Potentiomètre digital permettant de modéliser 2 des 6 résistances de charge

L'AD5235 (1024-Position digital potentiometer)

Potentiomètre digital permettant de modéliser 3 des 6 résistances de charge de 1kΩ à 250kΩ par pas de 1kΩ.

Seront donc utilisées 2 modèles : AD5235-25 et AD5235-250.

L'ADuM1400 (Quad-channel digital isolators)

Optocoupleur qui permettra d'isoler la partie analogique de la partie numérique du TSCU.

L'isolation permettra ainsi d'éviter la propagation de bruit dans la partie analogique provenant entre autre des alimentations.

L'AD590 (2-terminal IC temperature transducer)

Il s'agit de 2 sondes permettant de contrôler la température de l'ensemble SCU.

5.2.3.2 Le Software

Le principe de la manipulation :

Un mot de 8 bits est envoyé de l'ordinateur sur la carte TSCU.

Ce mot de 8 bits est reçu par le microcontrôleur de la sonde STUC via le port USB.

Le protocole de communication (protocole fait maison) entre le microcontrôleur et le FPGA de la sonde STUC permet à celui-ci de traduire le mot de 8 bits et ainsi exécuter la commande demandée.

La partie software de ma formation peut se diviser en 3 parties :

- En VHDL :
 - Pilotage des potentiomètres numériques utilisés pour la modélisation des résistances de harnais et de charge (AD8403 et AD5235).
Ces potentiomètres vont permettre d'émuler les différentes résistances de harnais et les chaufferettes qui vont permettre de refroidir les environnements de mesure.
 - En utilisant 1 process
 - En utilisant 2 process (travail à caractère pédagogique, car inutile dans le cadre du projet) : étude sur la synchronisation entre 2 process.
 - Sélection des résistances de la carte TSCU-ANA.
 - Essai d'horloge.
 - Essai de diviseur d'horloge.
 - Réalisation d'un « déglitcheur ».
Ce « déglitcheur » permet d'effacer tous les aléas (glitches ou spikes) dus aux temps de propagation des horloges d'une bascule à la suivante.
 - Pilotage des switches de la carte TSCU-ANA
- En programmation en C :
 - Communication entre le PC et la carte TSCU via la carte STUC
 - Quelques petites applications
 - Affichage dans une boîte de texte.
 - Affichage successif dans une boîte de texte pendant un temps donné, avec et sans utilisation (activation, blocage et déblocage) d'un timer.
 - Utilisation de sous-programmes et de structures.
 - Autre application
 - Lecture et écriture dans un bus PCI 1200 de chez National Instrument.
- En CAO (Conception Assistée par Ordinateur) avec le logiciel Cadence sous UNIX :
Schémas électriques de la carte (voir annexes)

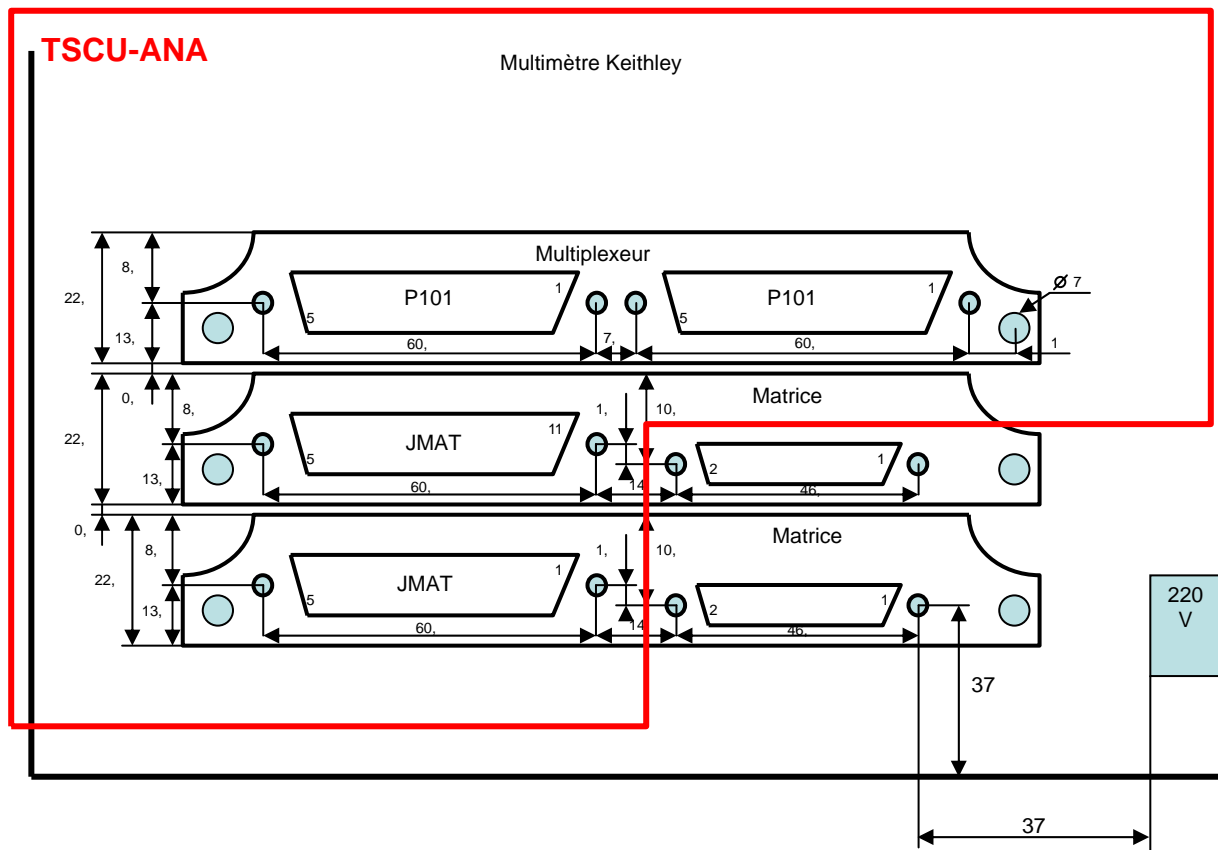
5.2.4 L'évolution du banc de test

Lors des 1^{ers} tests effectués sur la carte SCU avec un 1^{er} banc de test (banc de test STB), plusieurs problèmes ont été rencontrés liés à des bruits extérieurs provenant entre autre des alimentations de la carte. Ces problèmes ont troublé les mesures sensibles effectuées sur le SCU, comme les mesures de la température SubK.

En effet, cette carte STB supportait en même temps une partie logique de commande et d'acquisition de diverses données et une partie analogique de sélection de voies et de configuration de résistances de mesure.

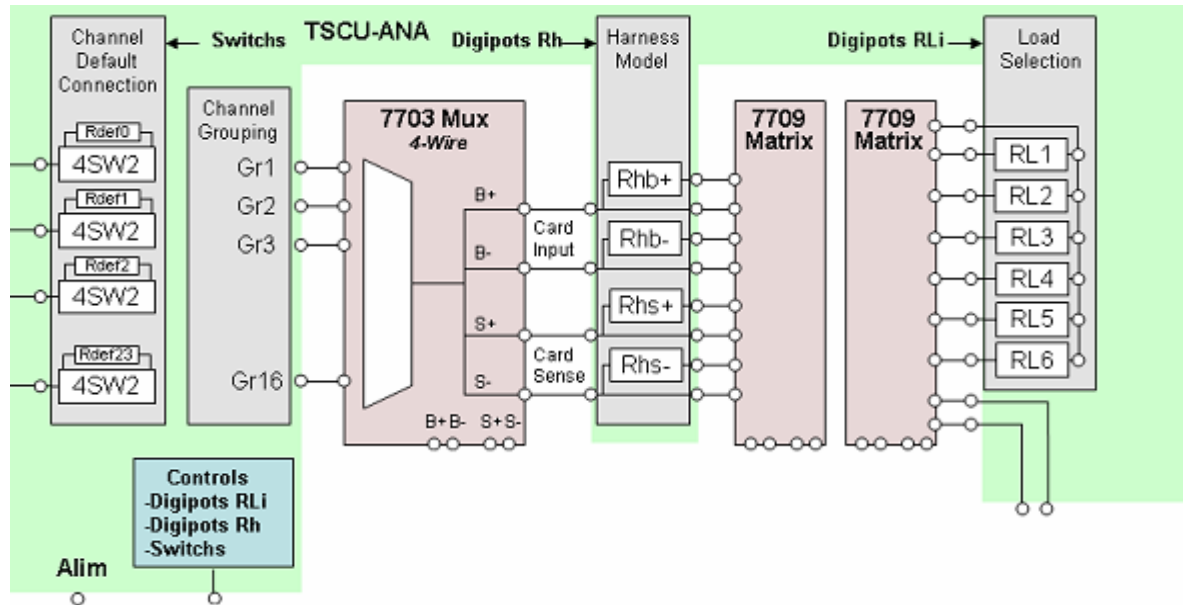
L'idée a été de séparer la partie logique de la partie analogique, de façon à isoler complètement les 2 parties pour une meilleure précision dans les mesures sans être troublées par quelque bruit que ce soit.

Ainsi pour résoudre les problèmes de connections qui ont engendré les bruits qui ont troublé les mesures, l'idée a été de brancher directement la partie analogique de la carte TSCU, appelée TSCU-ANA, sur la façade arrière d'un appareil de mesure Keithley, le multimètre Keithley 2700, qui nous permettra de procéder à des mesures de manière automatique.



Cette carte TSCU-ANA est contrôlée par la carte TSCU-DIG et comporte 3 fonctions :

- Commander les switches
- Simuler les résistances des harnais (Digipots Rh)
- Simuler les résistances de charge (Digipots RL_i)



SWITCHS

Les « Switchs » permettent de sélectionner soit une résistance de mesure, soit une résistance défaut, soit aucune des 2 résistances.

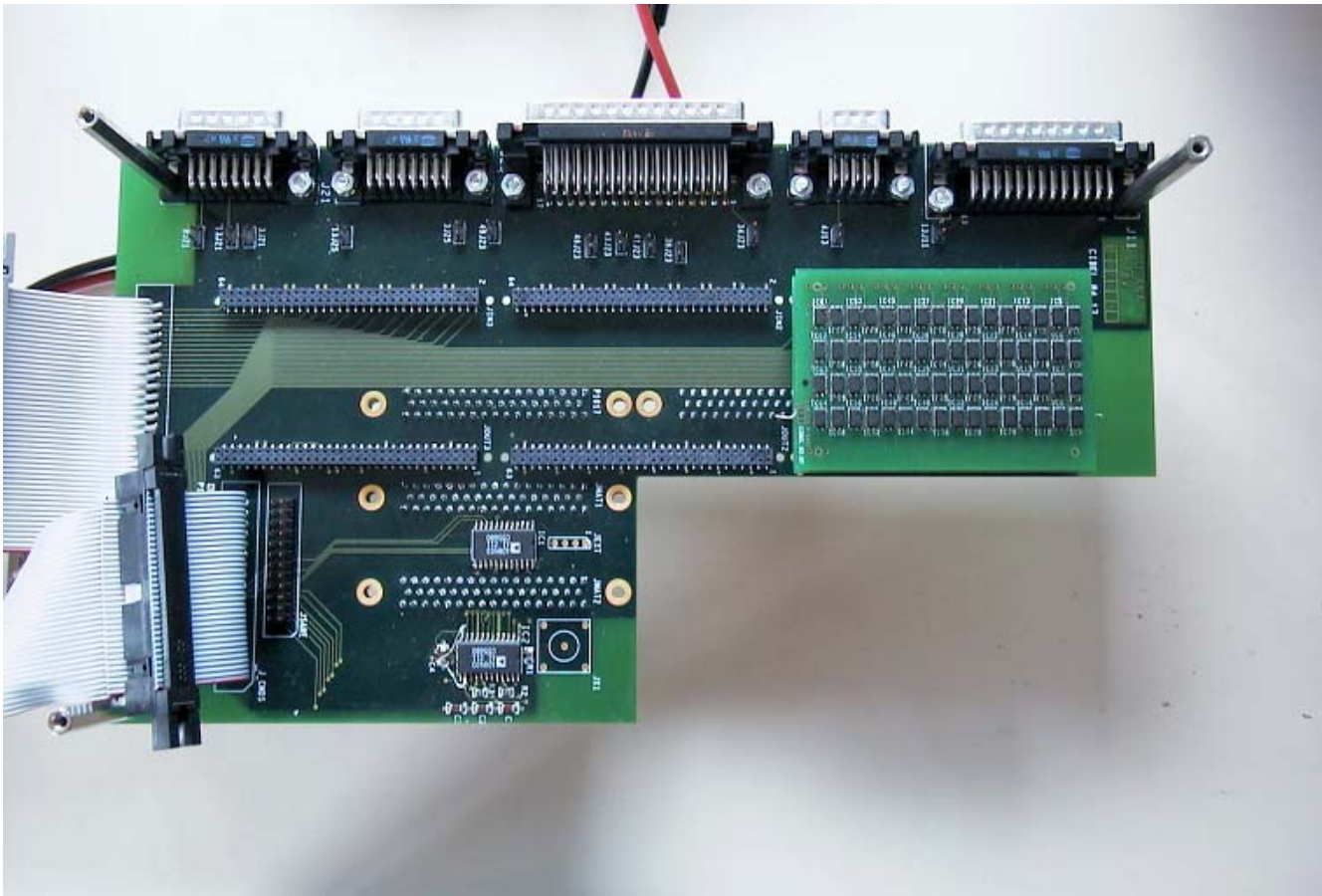
Les commandes des ‘switchs’ permettent soit de connecter la voie à mesurer sur la valeur de résistance choisie, soit de la connecter sur la résistance défaut ou soit de la déconnecter de la carte de test.

DIGIPOTS RH

Les 4 potentiomètres numériques contenus dans un même boîtier (AD8403) simulent la résistance des harnais des quatre lignes de mesure. Leurs valeurs varient entre 50Ω et $1 K\Omega$ avec des pas de 256 et sont programmées par une liaison série. Ces charges peuvent être également court-circuitées par une configuration de la matrice.

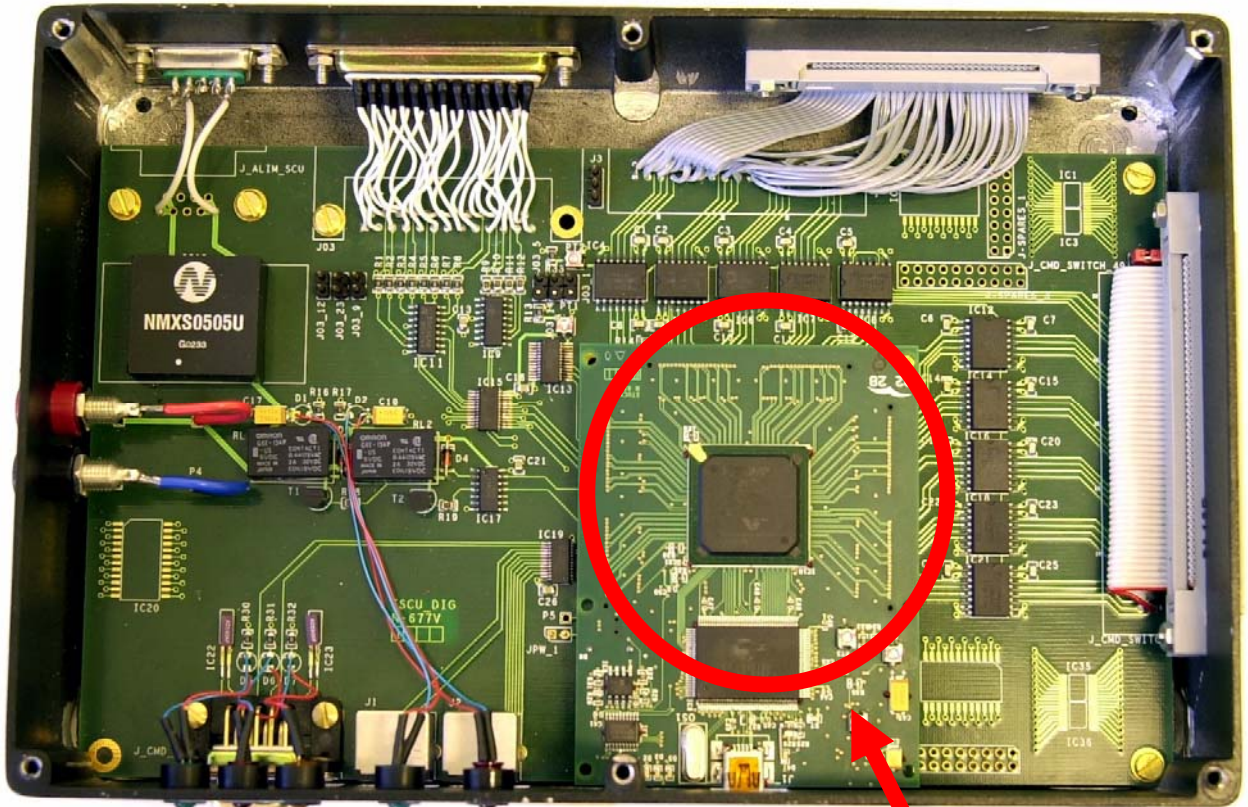
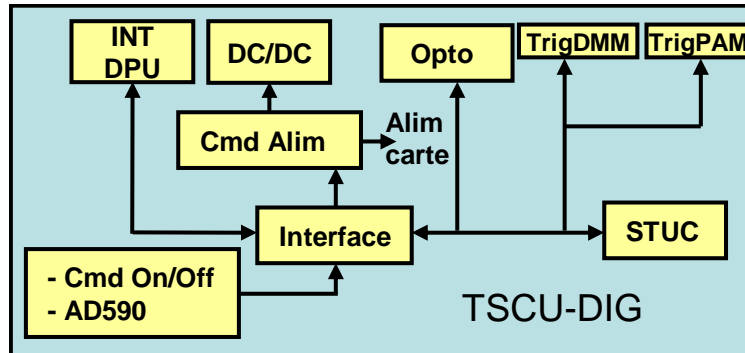
DIGIPOTS RL_i

Cinq gammes de valeur de résistance permettent de simuler les charges des 24 voies à tester. La valeur des « digipots » AD5235-25 varie de 50Ω à $25 K\Omega$ avec des pas de 1024 tandis que celle des « digipots » AD5235-250 varie de 50Ω à $250 K\Omega$ avec également des pas de 1024. Le choix des combinaisons des « digipots » est sélectionné à l’aide de la programmation de la matrice. Un connecteur est prévu pour simuler une charge extérieure autre que celle des « digipots ».



TSCU-ANA

La partie logique de la carte TSCU, appelée TSCU-DIG, assurera l'interface avec le SCU et la carte TSCU-ANA.



TSCU-DIG

STUC

Ainsi l'assemblage des 2 parties constitue la carte qui fera office de banc de test du SCU : le **TSCU** (*voir annexe*)

5.2.5 *Quelques difficultés rencontrées lors de la réalisation*

Lors de la réalisation de la carte, j'ai été régulièrement confronté à des problèmes de placement de composant suivant les connections entre ceux-ci.

En effet il a fallu faire une étude aux niveaux des signaux qui circulent sur la carte.

Cette étude doit tenir compte des signaux qui traversent les I/O de chaque outil par leurs connecteurs respectifs.

Chaque signal a été caractérisé par

- Son niveau (Hi level ou Low level)
- Sa catégorie : A ou B

Ce « code » permettait de définir quel signal devait être véhiculé sur la carte.

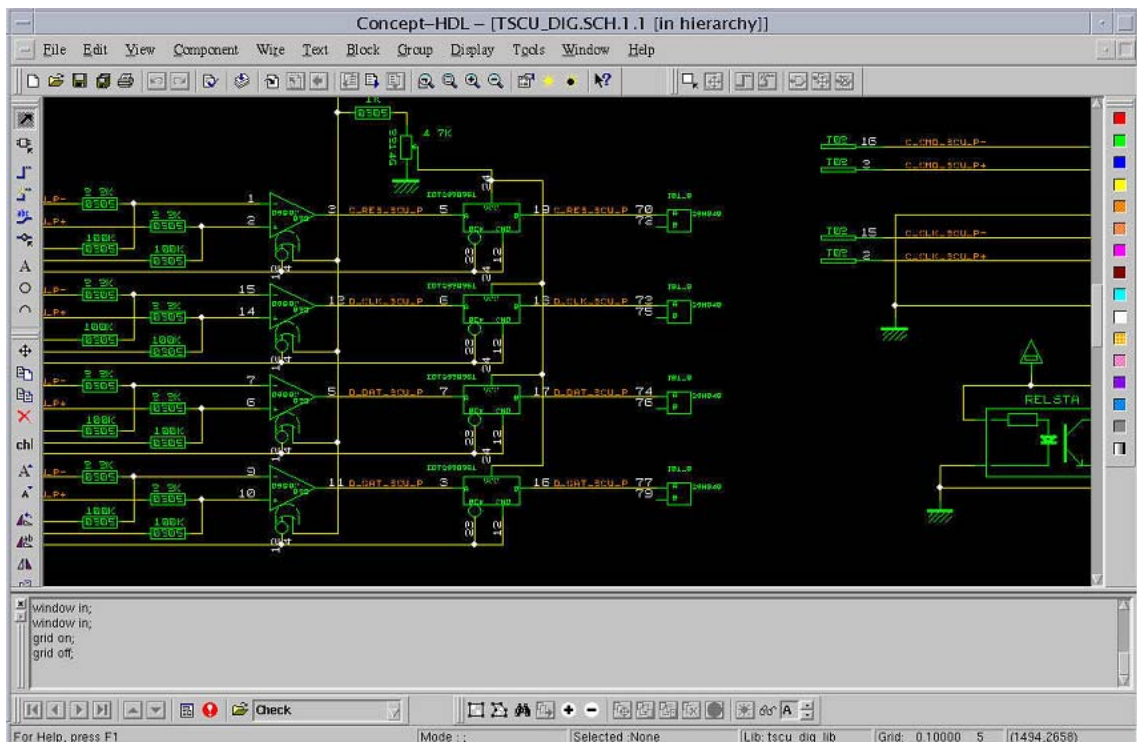
Tous les signaux concernés correspondaient à des signaux de commandes issus des de la carte STUC.

Cette difficulté a été notamment rencontrée surtout lors du routage de la carte, une fois la saisie de schéma finie.

5.3 Le matériel mis à disposition

Matériel utilisé pour les réalisations en software :

- En CAO, j'ai reçu une rapide formation sur Cadence sous UNIX. J'ai effectué une saisie de schéma de la carte TSCU-DIG afin de définir le plan de câblage et le routage de la carte avant l'implantation des composants.



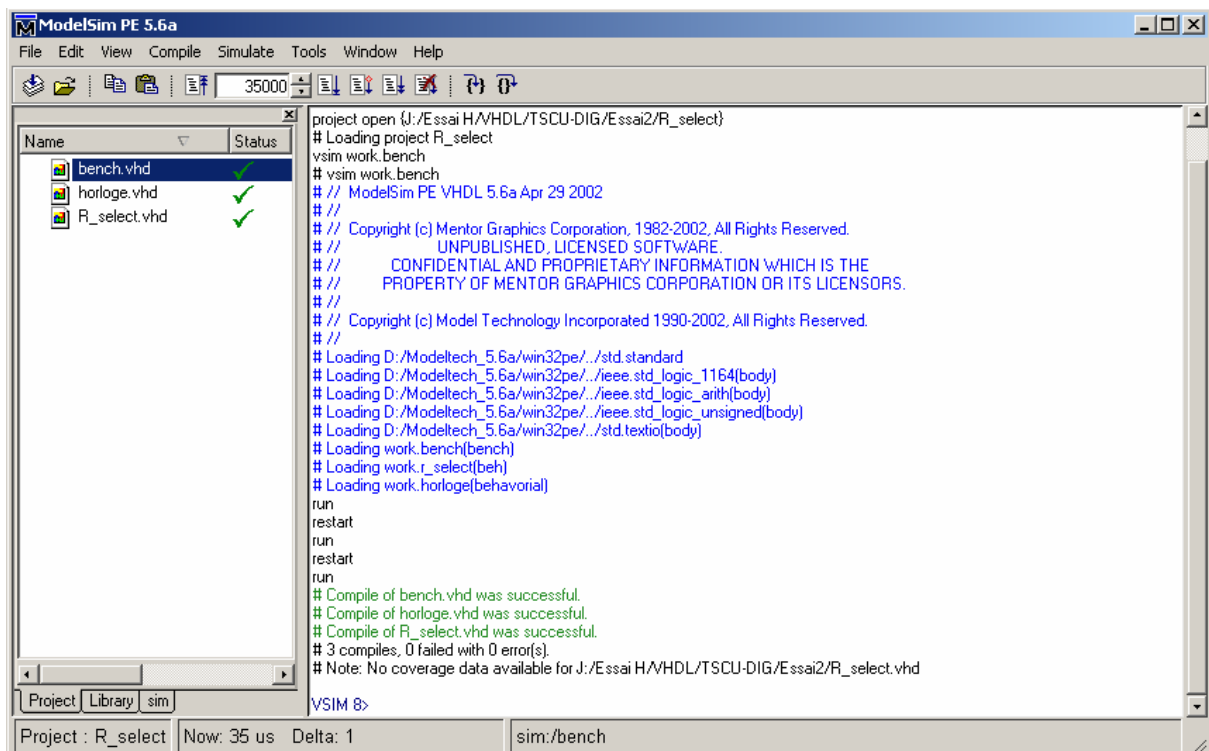
Logiciel Cadence sous UNIX

- Pour le VHDL, j'ai essentiellement travaillé sous ModelSim de chez ModelTech sous Windows2000.

La prise en main de ce logiciel est simple.

On dispose essentiellement de 3 panneaux de travail :

- 1) La partie commande du logiciel, qui permet d'ouvrir le projet de travail qui comprend non seulement le code en VHDL correspondant à la description du composant ou autre utilisé, mais aussi les codes correspondant aux descriptions de l'horloge, qui servira à cadencer la machine d'état, ainsi que du banc de test qui simulera les signaux à envoyer dans le code du composant pour faire bouger sa machine d'état.
- 2) La partie éditeur de texte, dans lequel on vient écrire les différents codes en VHDL
- 3) La partie simulation, dans lequel on vient faire bouger les signaux provenant du banc de test. Cette partie est d'autant plus importante qu'elle correspond en moyenne à 80% du travail à effectuer lorsque l'on fait du VHDL.



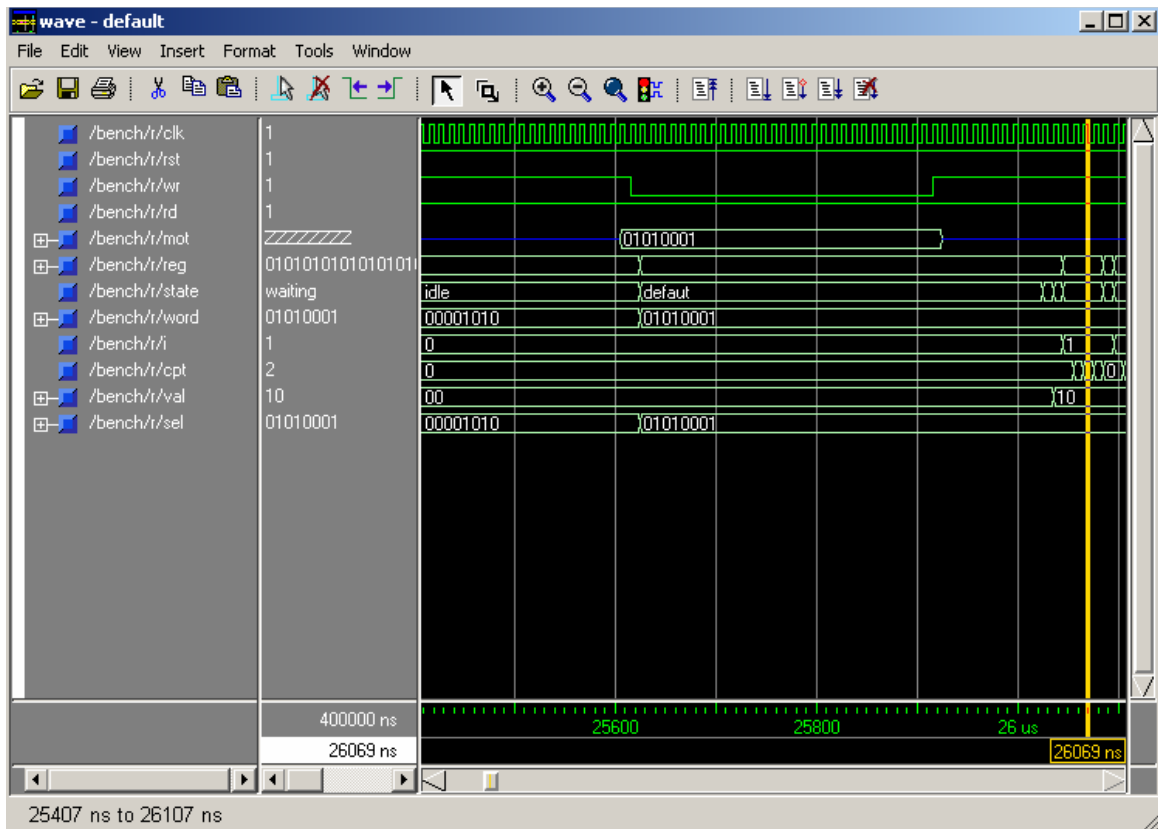
Partie commande du logiciel.

```

122     if (voie = "00001") then
123         reg(reg'high downto reg'low) <=
124             reg(reg'high downto reg'low+2) & val;
125         state <= stop;
126     else
127         reg(reg'high downto reg'low) <=
128             reg(reg'high downto reg'low+2*v) & val & reg(reg'low+(2*(v-1)-1) d
129         state <= stop;
130     end if;
131
132     when shift_auto => -- changement automatique des voix 1 par 1
133         i <= i + 1;
134         if ((2*i) >= 47) then
135             i <= 0;
136             state <= idle;
137         elsif (i = 0) then
138             reg(reg'high downto reg'low) <=
139             reg(reg'high downto reg'low+2) & val;
140             state <= waiting;
141         else

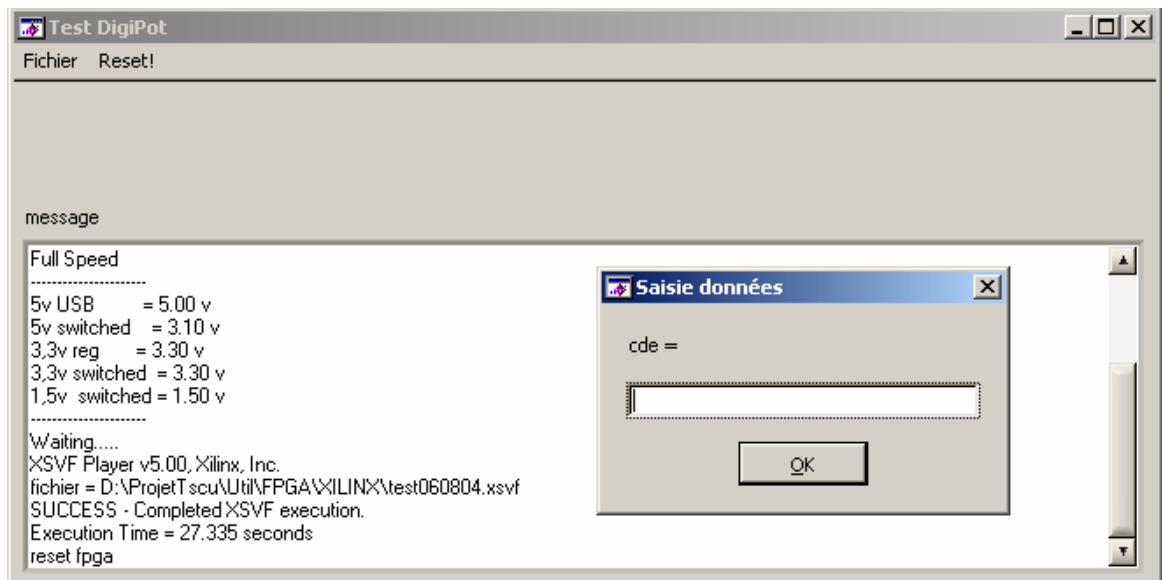
```

Partie éditeur de texte



Partie simulation

- Pour la programmation en C, j'ai essentiellement travaillé sous CVI de chez National Instrument sous Windows2000, le même logiciel utilisé à l'IUT, donc la prise en main a plutôt été simple.

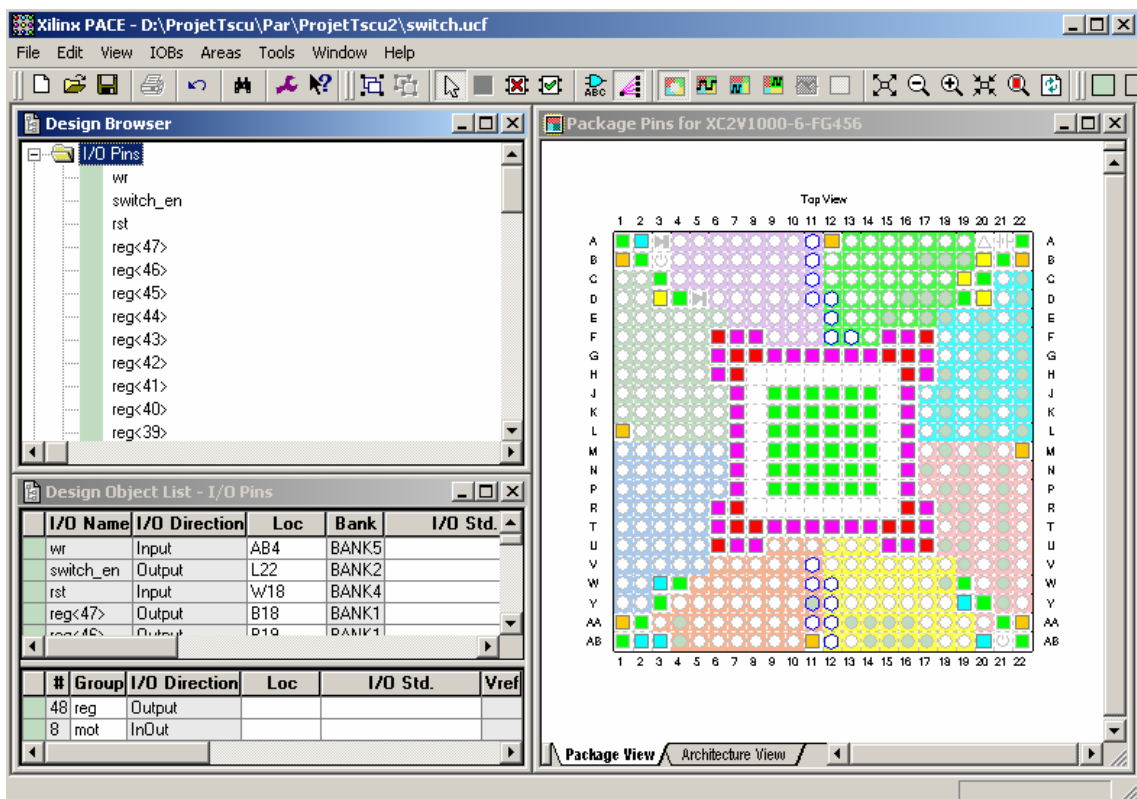


Panneau de test pour la sélection des résistances

- Pour la descente du VHDL dans le FPGA via le port USB, j'ai utilisé le logiciel Project Navigator de chez Xilinx, logiciel totalement nouveau pour moi, et relativement simple d'utilisation dès lors que j'ai réussi à le prendre en main.

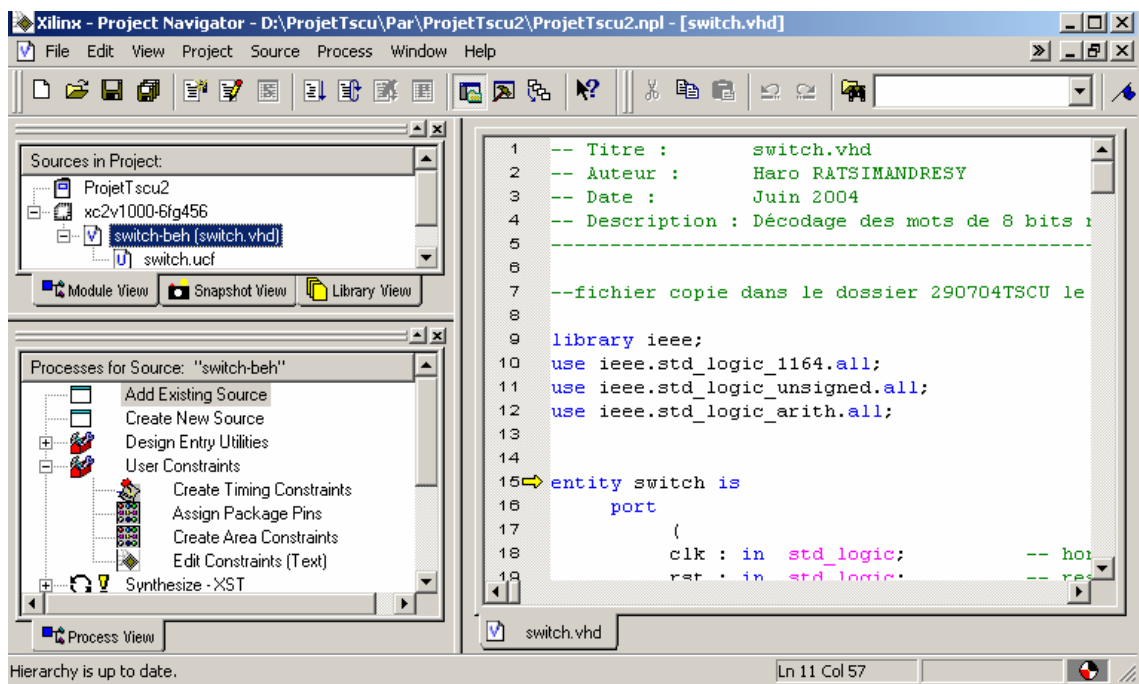
Dans le cadre du projet, j'ai été amené à utiliser uniquement 2 interfaces de ce logiciel :

- L'interface de connections des I/O du code VHDL à implémenter avec les portes logiques du FPGA de la sonde STUC.
- L'interface de commande qui permettra de lancer cette implémentation.



Interface de connections

Cette interface de connections que nous avons surnommé « la bataille navale » permet d'éviter à l'utilisateur d'aller écrire directement dans le code en VHDL les connections à effectuer entre les signaux d'I/O de son VHDL et ceux du FPGA à implémenter.



Interface de commande

Cette interface de commande permet de lancer l'implémentation du code en VHDL, précédemment été synthétisé, dans le FPGA de la sonde STUC.

Matériel utilisé pour tout ce qui était réalisé en hardware, comme pour les différents tests à effectuer sur quelques parties de la carte avant la réalisation, il a été mis à ma disposition :

- des cartes d'essai ainsi que des alimentations.
- tous les composants électroniques passifs nécessaires pour ces tests (résistances, potentiomètres, diodes, condensateurs...).
- des appareils de mesures comme des multimètres, des oscilloscopes, un analyseur logique...
- l'accès à un magasin pour d'autres types de composants ainsi que pour la réception de ceux qui ont été commandés.

6 L'APPRENTISSAGE

6.1 Mon insertion dans l'entreprise

Lors de mon arrivée dans l'entreprise, mon insertion s'est très bien passée. J'ai été reçu par Michel MUR chef de projet, puis Eric ZONCA, l'ingénieur tuteur chargé de ma formation en apprentissage. Ces 2 personnes m'ont présenté aux différents techniciens et ingénieurs du service dans lequel j'ai été affecté, et particulièrement aux personnes avec lesquelles j'allais être amené à travailler sur le projet. Et ensuite ils m'ont mis en présence de tous les outils dont je pouvais disposer.

6.2 Le déroulement de la formation

Cette formation a été très intéressante dans le sens où Eric ZONCA et Michel MUR ont fait en sorte de suivre le programme de la formation présenté à l'IUT, c'est-à-dire qu'à chaque thème étudié en cours, on essayait d'établir des applications pratiques pouvant immédiatement servir dans le cadre du projet. Cela n'a pas toujours été simple à réaliser, mais nous avons tout de même tenté tant bien que mal de rester fidèle au programme.

J'ai donc eu pour cela plusieurs occasions de voir concrètement les différents problèmes évoqués en cours aussi bien en électronique analogique que numérique, par exemple le problème du bruit électrique rencontré lors des 1^{ers} tests effectués avec la carte STB, 1^{ère} carte de test du SCU.

6.3 Les compétences acquises (ce que cette formation m'a apporté)

Tout d'abord, l'IUT m'a permis d'acquérir les 1^{ers} éléments permettant de prétendre au titre de technicien supérieur en GEII option Electronique, à savoir toutes les bases de l'électronique analogique et numérique, de l'informatique industrielle soit la programmation en C et la description de CPLD ou de FPGA en VHDL, ainsi que des télécommunications et asservissements.

Dans chacun de ces domaines, j'ai pu avoir des applications directes au sein du CEA de Saclay dans le cadre du projet SPIRE, ce qui m'a permis d'approfondir les connaissances acquises au sein de l'IUT, et de voir d'autres aspects de ce que j'ai pu apprendre précédemment grâce à d'autres outils, tant pour le hardware (grâce à la carte TSCU-ANA) que pour le software (grâce à la carte TSCU-DIG, et grâce aux outils informatiques utilisés, différents de ceux utilisés à l'IUT).

Et par dessus tout, cette formation en apprentissage m'a permis de voir un autre aspect du travail et de la vie en entreprise, choses que j'avais déjà vécu pendant une année entière avant mon arrivée à l'IUT. En effet elle m'a permis de comparer 2 types différents d'entreprise :

- Le CEA de Saclay, établissement public de recherche à gros budget.
- La société ASK à Valbonne Sophia Antipolis dans laquelle j'ai travaillé de septembre 2001 à août 2002, étant à l'époque une petite start-up de production à la chaîne de carte à puce sans contact type carte NAVIGO de la RATP, qui était en phase de faire ses preuves. J'ai donc directement été baigné dans un milieu de production à la chaîne où la demande était excessivement forte et les échéances courtes.

7 **BILAN DE LA FORMATION**

7.1 Mon appréciation sur la formation en alternance que j'ai suivie

Cette appréciation se fera en 2 temps, d'abord du point de vue de l'étudiant, puis du point de vue de l'entreprise, du service d'accueil : le SEDI.

Du point de vue de l'étudiant c'est donc une formation forte intéressante dans le sens où elle m'a permis de concilier la partie théorique (comprenant bien entendu des applications pratiques) suivie à l'IUT, avec la partie purement pratique suivie au CEA de Saclay.

Je trouve que ce point fort de la formation est d'autant plus accentué par le rythme de l'alternance, à savoir une semaine en cours et l'autre semaine en entreprise. En effet ceci permet de manière régulière et fréquente à l'étudiant d'avoir, en entreprise, les explications nécessaires sur des parties des cours encore obscures, de mieux les comprendre.

J'estime que mon tuteur ingénieur Eric ZONCA et Jean Louis FALLOU, ingénieur sécurité du SEDI, ont beaucoup participé dans la réussite de ma formation.

Maintenant du point de vue de l'entreprise, il est clair que ce type de formation a rencontré bon nombre de difficultés. Le laboratoire dans lequel j'ai effectué mon apprentissage travail depuis quelques années sur plusieurs projets dont SPIRE. Dans le cadre de ce dernier, le travail qui m'a été confié était de réaliser un banc de test qui aurait du être opérationnel à la fin de ma formation. Seulement le rythme de l'alternance m'a fait défaut en ce sens où il a perturbé l'état d'avancement du banc de test.

De plus dans un projet, l'on rencontre souvent des changements au niveau du cahier des charges, ou même divers problèmes à résoudre qui nécessitent bon nombre de modifications. Le problème pour moi s'est donc posé au niveau de la continuité de la réalisation de la carte. Par rapport aux échéances et aux problèmes rencontrés, ma présence de type temps partiel a obligé, à plusieurs reprises, mon tuteur Eric ZONCA à prendre en charge plusieurs parties de mon travail.

7.2 Mes projets d'avenir

A la rentrée 2004 j'entame une poursuite d'étude au sein de l'école d'ingénieur ESTP (Ecole Spéciale des Travaux Publics) qui se trouve et à Paris dans le 5^{ème} arrondissement et à Cachan. Spécialisé dans les travaux publics, j'envisage d'y poursuivre une formation dans la section Mécanique et Electricité.

Cette école me permettra d'une part d'approfondir les connaissances acquises en Electricité et en Electronique, et d'autre part de découvrir de manière plus technique la mécanique.

D'autant plus que cette formation tournera autour des travaux publics, ce qui me permettra de voir un aspect de l'Electronique différent de celui que j'ai vu au sein du CEA puisqu'il était essentiellement tourné vers les systèmes embarqués pour des applications astrophysiques.

ANNEXES

Annexe A : Eléments techniques de l'AD5235 (1024-Position digital potentiometer)

FEATURES

- Dual-channel, 1024-position resolution
- 25 k Ω , 250 k Ω nominal resistance
- Low temperature coefficient: 35 ppm/ $^{\circ}$ C
- Nonvolatile memory stores wiper settings
- Permanent memory write protection
- Wiper setting readback
- Resistance tolerance stored in EEMEM
- Predefined linear increment/decrement instructions
- Predefined ± 6 dB/step log taper increment/decrement instructions
- SPI[®] compatible serial interface
- 3 V to 5 V single supply or ± 2.5 V dual supply
- 26 bytes extra nonvolatile memory for user-defined information
- 100-year typical data retention, $T_A = 55^{\circ}$ C
- Power-on refreshed with EEMEM settings

APPLICATIONS

- DWDM laser diode driver, optical supervisory systems
- Mechanical potentiometer replacement
- Instrumentation: gain, offset adjustment
- Programmable voltage to current conversion
- Programmable filters, delays, time constants
- Programmable power supply
- Low resolution DAC replacement
- Sensor calibration

GENERAL DESCRIPTION

The AD5235 is a dual-channel, nonvolatile memory,¹ digitally controlled potentiometer² with 1024-step resolution. The device performs the same electronic adjustment function as a mechanical potentiometer with enhanced resolution, solid state reliability, and superior low temperature coefficient performance. The AD5235's versatile programming via an SPI compatible serial interface allows 16 modes of operation and adjustment including scratchpad programming, memory storing and restoring, increment/decrement, ± 6 dB/step log taper adjustment, wiper setting readback, and extra EEMEM for user-defined information such as memory data for other components, look-up table, or system identification information.

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

FUNCTIONAL BLOCK DIAGRAM

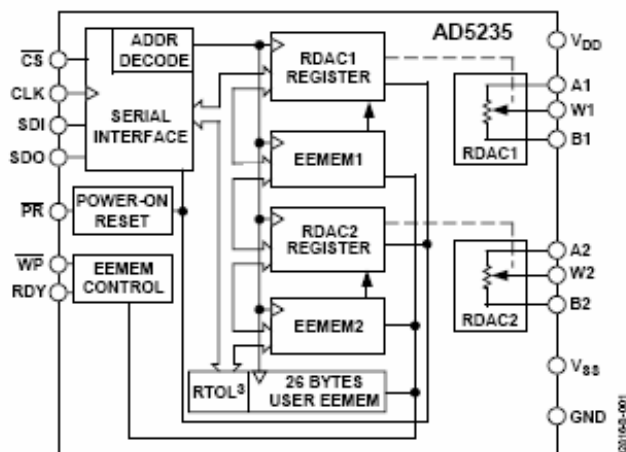


Figure 1.

In the scratchpad programming mode, a specific setting can be programmed directly to the RDAC² register, which sets the resistance between Terminals W-A and W-B. This setting can be stored into the EEMEM and is restored automatically to the RDAC register during system power-on.

The EEMEM content can be restored dynamically or through external \overline{PR} strobing, and a \overline{WP} function protects EEMEM contents. To simplify the programming, the independent or simultaneous linear-step increment or decrement commands can be used to move the RDAC wiper up or down, one step at a time. For logarithmic ± 6 dB changes in wiper setting, the left or right bit shift command can be used to double or half the RDAC wiper setting.

AD5235 patterned resistance tolerance is stored in the EEMEM. The actual end-to-end resistance can, therefore, be known by the host processor in readback mode. The host can execute the appropriate resistance step through a software routine that simplifies open-loop applications as well as precision calibration and tolerance matching applications.

The AD5235 is available in a thin TSSOP-16 package. The part is guaranteed to operate over the extended industrial temperature range of -40° C to $+85^{\circ}$ C.

¹ The terms nonvolatile memory and EEMEM are used interchangeably.

² The terms digital potentiometer and RDAC are used interchangeably.

³ R_{tol} tolerance.

TIMING DIAGRAMS

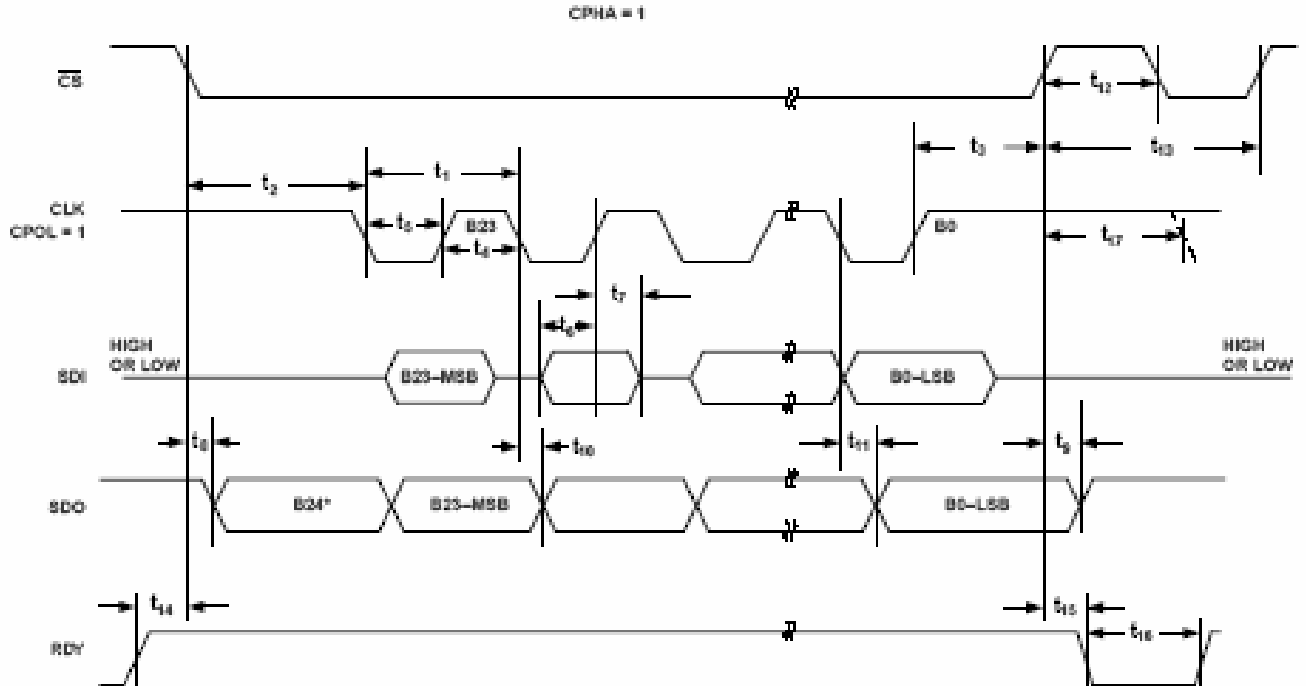


Figure 2. CPHA = 1 Timing Diagram

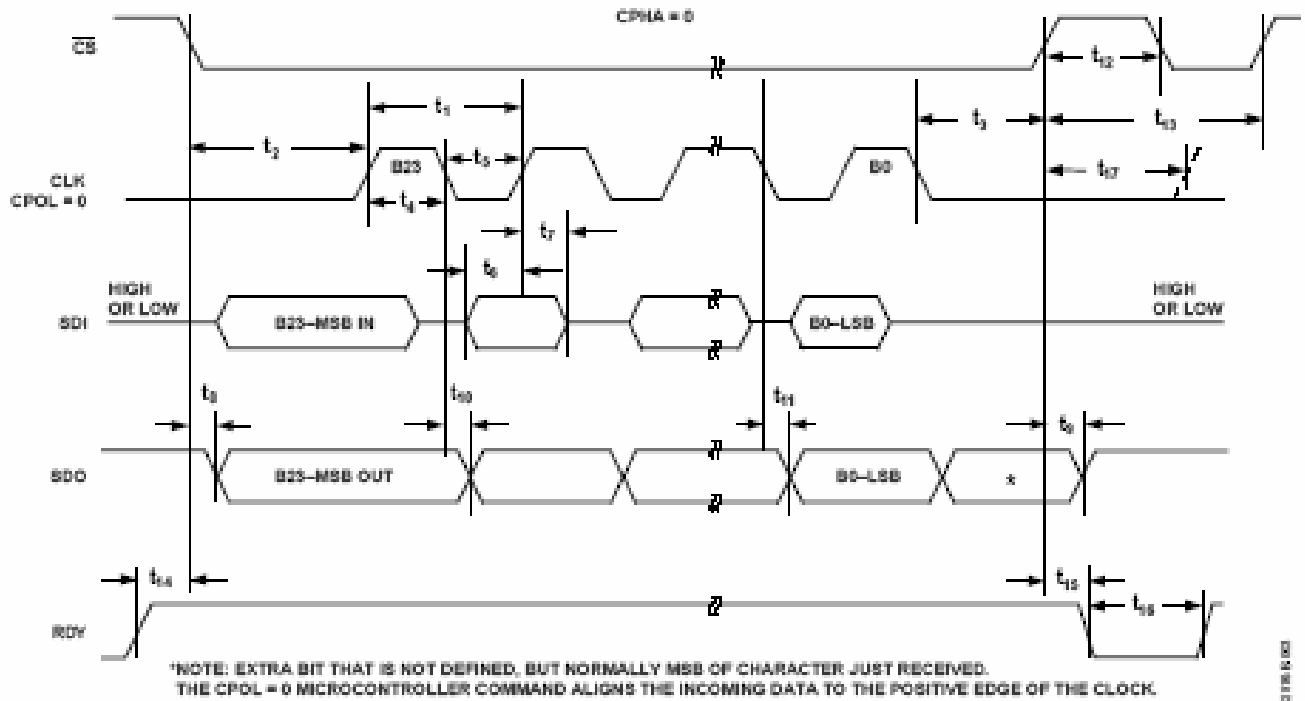


Figure 3. CPHA = 0 Timing Diagram

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

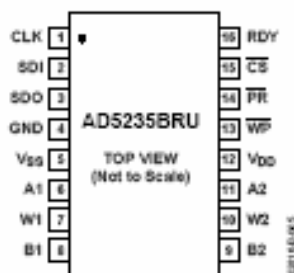


Figure 4. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	CLK	Serial Input Register Clock. Shifts in one bit at a time on positive clock edges.
2	SDI	Serial Data Input. Shifts in one bit at a time on positive clock CLK edges. MSB loads first.
3	SDO	Serial Data Output. Serves readback and daisy-chain functions. Commands 9 and 10 activate the SDO output for the readback function, delayed by 24 or 25 clock pulses, depending on the clock polarity before and after the data-word (see Figure 2, Figure 3, and Table 7). In other commands, the SDO shifts out the previously loaded SDI bit pattern, delayed by 24 or 25 clock pulses depending on the clock polarity (see Figure 2 and Figure 3). This previously shifted-out SDI can be used for daisy-chaining multiple devices. Whenever SDO is used, a pull-up resistor in the range of 1 k Ω to 10 k Ω is needed.
4	GND	Ground Pin, Logic Ground Reference.
5	V _{SS}	Negative Supply. Connect to 0 V for single-supply applications. If V _{SS} is used in dual supply, it must be able to sink 35 mA for 30 ms when storing data to EEMEM.
6	A1	Terminal A of RDAC1.
7	W1	Wiper terminal of RDAC1. ADDR(RDAC1) = 0x0.
8	B1	Terminal B of RDAC1.
9	B2	Terminal B of RDAC2.
10	W2	Wiper terminal of RDAC2. ADDR(RDAC2) = 0x1.
11	A2	Terminal A of RDAC2.
12	V _{DD}	Positive Power Supply.
13	$\overline{\text{WP}}$	Optional Write Protect. When active low, $\overline{\text{WP}}$ prevents any changes to the present contents, except $\overline{\text{PR}}$ strobe. CMD_1 and CMD_8 refresh the RDAC register from EEMEM. Execute a NOP instruction before returning to $\overline{\text{WP}}$ high. Tie $\overline{\text{WP}}$ to V _{DD} , if not used.
14	$\overline{\text{PR}}$	Optional Hardware Override Preset. Refreshes the scratchpad register with current contents of the EEMEM register. Factory default loads midscale 512 ₁₀ until EEMEM is loaded with a new value by the user. $\overline{\text{PR}}$ is activated at the logic high transition. Tie $\overline{\text{PR}}$ to V _{DD} , if not used.
15	$\overline{\text{CS}}$	Serial Register Chip Select Active Low. Serial register operation takes place when $\overline{\text{CS}}$ returns to logic high.
16	RDY	Ready. Active-high open-drain output. Identifies completion of Instructions 2, 3, 8, 9, 10, and $\overline{\text{PR}}$.

Annexe B : Eléments techniques de l'AD8403 (4-channel digital potentiometer)

AD8400/AD8402/AD8403

FEATURES

- 256-Position
- Replaces 1, 2, or 4 Potentiometers
- 1 k Ω , 10 k Ω , 50 k Ω , 100 k Ω
- Power Shutdown—Less than 5 μ A
- 3-Wire SPI-Compatible Serial Data Input
- 10 MHz Update Data Loading Rate
- 2.7 V to 5.5 V Single-Supply Operation
- Midscale Preset

APPLICATIONS

- Mechanical Potentiometer Replacement
- Programmable Filters, Delays, Time Constants
- Volume Control, Panning
- Line Impedance Matching
- Power Supply Adjustment

GENERAL DESCRIPTION

The AD8400/AD8402/AD8403 provide a single, dual or quad channel, 256 position digitally controlled variable resistor (VR) device. These devices perform the same electronic adjustment function as a potentiometer or variable resistor. The AD8400 contains a single variable resistor in the compact SO-8 package. The AD8402 contains two independent variable resistors in space-saving SO-14 surface-mount packages. The AD8403 contains four independent variable resistors in 24-lead PDIP, SOIC, and TSSOP packages. Each part contains a fixed resistor with a wiper contact that taps the fixed resistor value at a point determined by a digital code loaded into the controlling serial input register. The resistance between the wiper and either endpoint of the fixed resistor varies linearly with respect to the digital code transferred into the VR latch. Each variable resistor offers a completely programmable value of resistance, between the A terminal and the wiper or the B terminal and the wiper. The fixed A to B terminal resistance of 1 k Ω , 10 k Ω , 50 k Ω , or 100 k Ω has a $\pm 1\%$ channel-to-channel matching tolerance with a nominal temperature coefficient of 500 ppm/ $^{\circ}$ C. A unique switching circuit minimizes the high glitch inherent in traditional switched resistor designs avoiding any make-before-break or break-before-make operation.

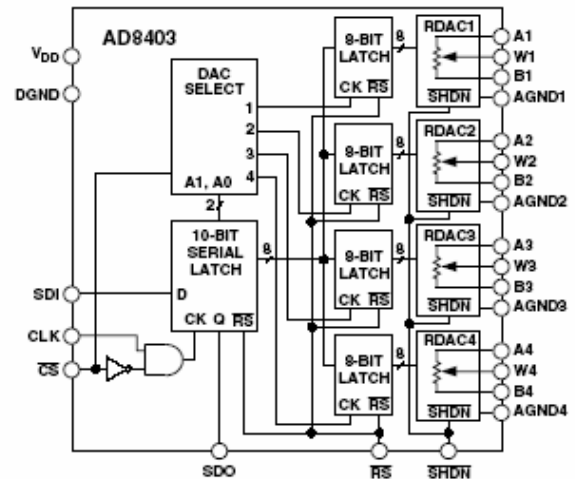
Each VR has its own VR latch that holds its programmed resistance value. These VR latches are updated from an SPI compatible serial-to-parallel shift register that is loaded from a standard 3-wire serial-input digital interface. Ten data bits make up the data word clocked into the serial input register. The data word is decoded where the first two bits determine the address of the VR latch to be loaded, the last eight bits are data. A serial data output pin at the opposite end of the serial register allows simple daisy-chaining in multiple VR applications without additional external decoding logic.

The reset (\overline{RS}) pin forces the wiper to the midscale position by loading 80_H into the VR latch. The \overline{SHDN} pin forces the resistor

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

FUNCTIONAL BLOCK DIAGRAM



to an end-to-end open circuit condition on the A terminal and shorts the wiper to the B terminal, achieving a microwatt power shutdown state. When \overline{SHDN} is returned to logic high, the previous latch settings put the wiper in the same resistance setting prior to shutdown. The digital interface is still active in shutdown so that code changes can be made that will produce new wiper positions when the device is taken out of shutdown.

The AD8400 is available in both the SO-8 surface-mount and the 8-lead plastic DIP package.

The AD8402 is available in both surface mount (SO-14) and 14-lead plastic DIP packages, while the AD8403 is available in a narrow body 24-lead plastic DIP and a 24-lead surface-mount package. The AD8402/AD8403 are also offered in the 1.1 mm thin TSSOP-14/TSSOP-24 packages for PCMCIA applications. All parts are guaranteed to operate over the extended industrial temperature range of -40° C to $+125^{\circ}$ C.

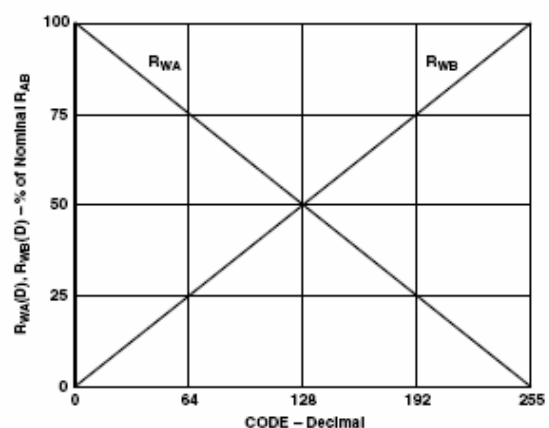


Figure 1. RWA and RWB vs. Code

SPECIFICATIONS ($V_{DD} = 3\text{ V} \pm 10\%$ or $5\text{ V} \pm 10\%$, $V_A = V_{DD}$, $V_B = 0\text{ V}$, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ unless otherwise noted.)

ELECTRICAL CHARACTERISTICS—ALL VERSIONS

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
SWITCHING CHARACTERISTICS^{2,3}						
Input Clock Pulsewidth	t_{CH} , t_{CL}	Clock Level High or Low	10			ns
Data Setup Time	t_{DS}		5			ns
Data Hold Time	t_{DH}		5			ns
CLK to SDO Propagation Delay ⁴	t_{PD}	$R_L = 1\text{ k}\Omega$ to 5 V , $C_L \leq 20\text{ pF}$	1		25	ns
$\overline{\text{CS}}$ Semp Time	t_{CSS}		10			ns
$\overline{\text{CS}}$ High Pulsewidth	t_{CSW}		10			ns
Reset Pulsewidth	t_{RS}		50			ns
CLK Fall to $\overline{\text{CS}}$ Rise Hold Time	t_{CSH}		0			ns
$\overline{\text{CS}}$ Rise to Clock Rise Setup	t_{CS1}		10			ns

NOTES

¹Typicals represent average readings at 25°C and $V_{DD} = 5\text{ V}$.

²Guaranteed by design and not subject to production test. Resistor-terminal capacitance tests are measured with 2.5 V bias on the measured terminal. The remaining resistor terminals are left open circuit.

³See timing diagram for location of measured values. All input control voltages are specified with $t_R = t_F = 1\text{ ns}$ (10% to 90% of V_{DD}) and timed from a voltage level of 1.6 V . Switching characteristics are measured using $V_{DD} = 3\text{ V}$ or 5 V . To avoid false clocking, a minimum input logic slew rate of $1\text{ V}/\mu\text{s}$ should be maintained.

⁴Propagation Delay depends on value of V_{DD} , R_L , and C_L —see Applications section.

Specifications subject to change without notice.

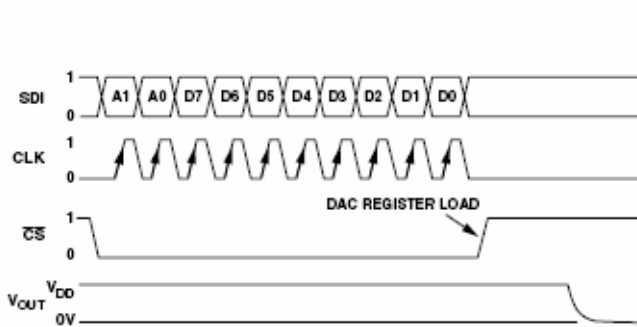


Figure 2a. Timing Diagram

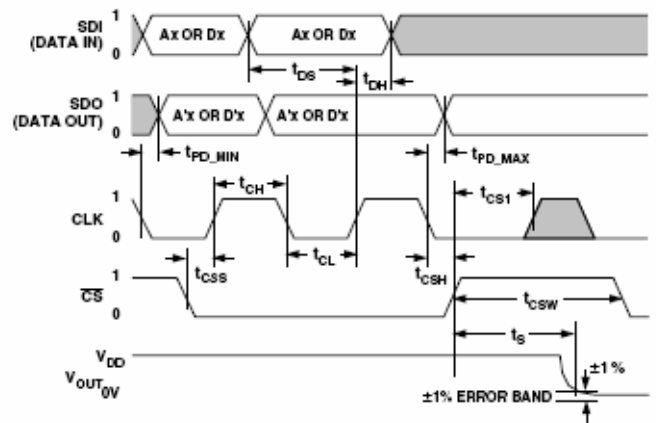


Figure 2b. Detail Timing Diagram

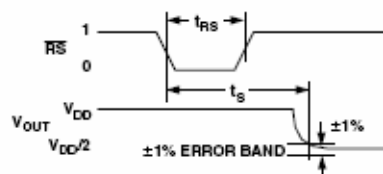
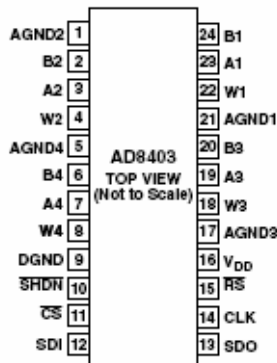
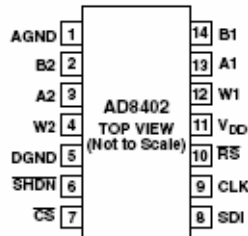
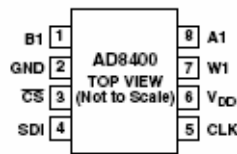


Figure 2c. Reset Timing Diagram

AD8400/AD8402/AD8403

PIN CONFIGURATIONS



AD8402 PIN FUNCTION DESCRIPTIONS

Pin	Name	Description
1	AGND	Analog Ground*
2	B2	Terminal B RDAC #2
3	A2	Terminal A RDAC #2
4	W2	Wiper RDAC #2, Addr = 01 ₂ .
5	DGND	Digital Ground*
6	SHDN	Terminal A Open Circuit. Shutdown controls Variable Resistors #1 and #2.
7	CS	Chip Select Input, Active Low. When CS returns high, data in the serial input register is decoded based on the address bits and loaded into the target DAC register.
8	SDI	Serial Data Input
9	CLK	Serial Clock Input, Positive Edge Triggered.
10	RS	Active low reset to midscale; sets RDAC registers to 80 _H .
11	V _{DD}	Positive power supply, specified for operation at both 3 V and 5 V.
12	W1	Wiper RDAC #1, Addr = 00 ₂ .
13	A1	Terminal A RDAC #1
14	B1	Terminal B RDAC #1

*All AGNDs must be connected to DGND.

AD8400 PIN FUNCTION DESCRIPTIONS

Pin	Name	Description
1	B1	Terminal B RDAC
2	GND	Ground
3	CS	Chip Select Input, Active Low. When CS returns high, data in the serial input register is loaded into the DAC register.
4	SDI	Serial Data Input
5	CLK	Serial Clock Input, Positive Edge Triggered.
6	V _{DD}	Positive power supply, specified for operation at both 3 V and 5 V.
7	W1	Wiper RDAC, Addr = 00 ₂
8	A1	Terminal A RDAC

AD8403 PIN FUNCTION DESCRIPTIONS

Pin	Name	Description
1	AGND2	Analog Ground #2*
2	B2	Terminal B RDAC #2
3	A2	Terminal A RDAC #2
4	W2	Wiper RDAC #2, Addr = 01 ₂ .
5	AGND4	Analog Ground #4*
6	B4	Terminal B RDAC #4
7	A4	Terminal A RDAC #4
8	W4	Wiper RDAC #4, Addr = 11 ₂ .
9	DGND	Digital Ground*
10	SHDN	Active Low Input. Terminal A open circuit. Shutdown controls Variable Resistors #1 through #4.
11	CS	Chip Select Input, Active Low. When CS returns high, data in the serial input register is decoded based on the address bits and loaded into the target DAC register.
12	SDI	Serial Data Input
13	SDO	Serial Data Output, Open Drain transistor requires pull-up resistor.
14	CLK	Serial Clock Input, Positive Edge Triggered
15	RS	Active Low reset to midscale; sets RDAC registers to 80 _H .
16	V _{DD}	Positive power supply, specified for operation at both 3 V and 5 V.
17	AGND3	Analog Ground #3*
18	W3	Wiper RDAC #3, Addr = 10 ₂
19	A3	Terminal A RDAC #3
20	B3	Terminal B RDAC #3
21	AGND1	Analog Ground #1*
22	W1	Wiper RDAC #1, Addr = 00 ₂
23	A1	Terminal A RDAC #1
24	B1	Terminal B RDAC #1

*All AGNDs must be connected to DGND.

Annexe C : Eléments techniques de l'ADuM1400 (Quad-channel digital isolators)

FEATURES

Low power operation

5 V operation

1.0 mA per channel max @ 0 Mbps to 2 Mbps

3.5 mA per channel max @ 10 Mbps

31 mA per channel max @ 90 Mbps

3 V operation

0.7 mA per channel max @ 0 Mbps to 2 Mbps

2.1 mA per channel max @ 10 Mbps

20 mA per channel max @ 90 Mbps

Bidirectional communication

3 V/5 V level translation

High temperature operation: 105°C

High data rate: dc to 90 Mbps (NRZ)

Precise timing characteristics

2 ns max pulse-width distortion

2 ns max channel-to-channel matching

High common-mode transient immunity: >25 kV/μs

Output enable function

Wide body 16-lead SOIC package, Pb-free models available

Safety and regulatory approvals

UL recognition: 2500 V rms for 1 minute per UL 1577

CSA component acceptance notice #5A

VDE certificate of conformity

DIN EN 60747-5-2 (VDE 0884 Part 2): 2003-01

DIN EN 60950 (VDE 0805): 2001-12; EN 60950:2000

$V_{COM} = 560$ V peak

APPLICATIONS

General-purpose multichannel isolation

SPI® interface/data converter isolation

RS-232/RS-422/RS-485 transceiver

Industrial field bus isolation

GENERAL DESCRIPTION

The ADuM140x are 4-channel digital isolators based on Analog Devices' iCoupler® technology. Combining high speed CMOS and monolithic air core transformer technology, these isolation components provide outstanding performance characteristics superior to alternatives such as optocoupler devices.

By avoiding the use of LEDs and photodiodes, iCoupler devices remove the design difficulties commonly associated with optocouplers. The typical optocoupler concerns regarding uncertain current transfer ratios, nonlinear transfer functions, and temperature and lifetime effects are eliminated with the simple iCoupler digital interfaces and stable performance characteristics. The need for external drivers and other discretes is eliminated with these iCoupler products. Furthermore, iCoupler devices consumes one-tenth to one-sixth the power of optocouplers at comparable signal data rates.

The ADuM140x isolators provide four independent isolation channels in a variety of channel configurations and data rates (see the Ordering Guide). All models operate with the supply voltage on either side ranging from 2.7 V to 5.5 V, providing compatibility with lower voltage systems as well as enabling a voltage translation functionality across the isolation barrier. In addition, the ADuM140x provides low pulse-width distortion (<2 ns for CRW grade) and tight channel-to-channel matching (<2 ns for CRW grade). Unlike other optocoupler alternatives, the ADuM140x isolators have a patented refresh feature that ensures dc correctness in the absence of input logic transitions and during power-up/power-down conditions.

FUNCTIONAL BLOCK DIAGRAMS

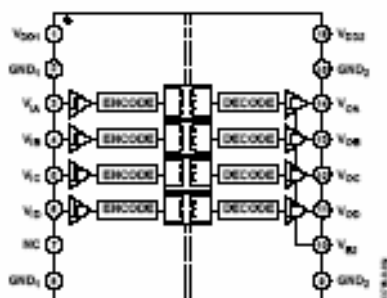


Figure 1. ADuM1400 Functional Block Diagram

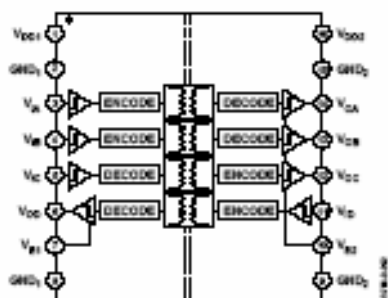


Figure 2. ADuM1401 Functional Block Diagram

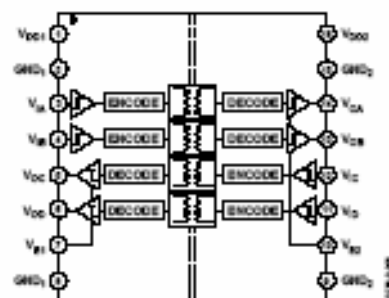


Figure 3. ADuM1402 Functional Block Diagram

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.326.8703 © 2004 Analog Devices, Inc. All rights reserved.

PIN CONFIGURATIONS AND PIN FUNCTION DESCRIPTIONS

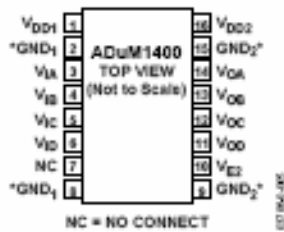


Figure 5. ADuM1400 Pin Configuration

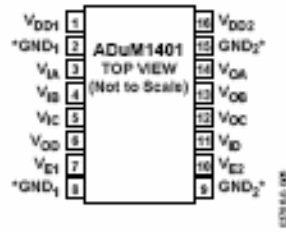


Figure 6. ADuM1401 Pin Configuration

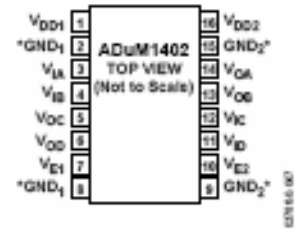


Figure 7. ADuM1402 Pin Configuration

*Pins 2 and 8 are internally connected. Connecting both to GND₁ is recommended. Pins 9 and 15 are internally connected. Connecting both to GND₂ is recommended. Output enable Pin 10 on the ADuM1400 may be left disconnected if outputs are to be always enabled. Output enable Pins 7 and 10 on the ADuM1401/ADuM1402 may be left disconnected if outputs are to be always enabled. In noisy environments, connecting Pin 7 (for ADuM1401 and ADuM1402) and Pin 10 (for all models) to an external logic high or low is recommended.

Table 11. ADuM1400 Pin Function Descriptions

Pin No.	Mnemonic	Function
1	V _{DD1}	Supply Voltage for Isolator Side 1, 2.7 V to 5.5 V.
2	GND ₁	Ground 1. Ground reference for isolator Side 1.
3	V _A	Logic Input A.
4	V _B	Logic Input B.
5	V _C	Logic Input C.
6	V _D	Logic Input D.
7	NC	No Connect.
8	GND ₁	Ground 1. Ground reference for isolator Side 1.
9	GND ₂	Ground 2. Ground reference for isolator Side 2.
10	V _{E2}	Output Enable 2. Active high logic input. V _{OA} , V _{OB} , V _{OC} , and V _{OD} outputs are enabled when V _{E2} is high or disconnected. V _{OA} , V _{OB} , V _{OC} , and V _{OD} outputs are disabled when V _{E2} is low. In noisy environments, connecting V _{E2} to an external logic high or low is recommended.
11	V _{OD}	Logic Output D.
12	V _{OC}	Logic Output C.
13	V _{OB}	Logic Output B.
14	V _{OA}	Logic Output A.
15	GND ₂	Ground 2. Ground reference for isolator Side 2.
16	V _{DD2}	Supply Voltage for Isolator Side 2, 2.7 V to 5.5 V.

APPLICATION INFORMATION

PC BOARD LAYOUT

The ADuM140x digital isolator requires no external interface circuitry for the logic interfaces. Power supply bypassing is strongly recommended at the input and output supply pins (Figure 17). Bypass capacitors are most conveniently connected between Pins 1 and 2 for V_{DD1} and between Pins 15 and 16 for V_{DD2} . The capacitor value should be between 0.01 μF and 0.1 μF . The total lead length between both ends of the capacitor and the input power supply pin should not exceed 20 mm. Bypassing between Pins 1 and 8 and between Pins 9 and 16 should also be considered unless the ground pair on each package side is connected close to the package.

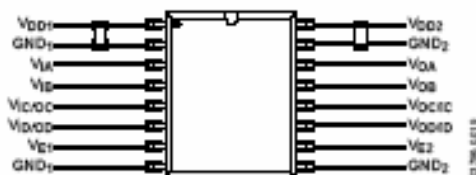


Figure 17. Recommended Printed Circuit Board Layout

In applications involving high common-mode transients, care should be taken to ensure that board coupling across the isolation barrier is minimized. Furthermore, the board layout should be designed such that any coupling that does occur equally affects all pins on a given component side. Failure to ensure this could cause voltage differentials between pins exceeding the device's Absolute Maximum Ratings, thereby leading to latch-up or permanent damage.

PROPAGATION DELAY-RELATED PARAMETERS

Propagation delay is a parameter that describes the time it takes a logic signal to propagate through a component. The propagation delay to a logic low output may differ from the propagation delay to a logic high.

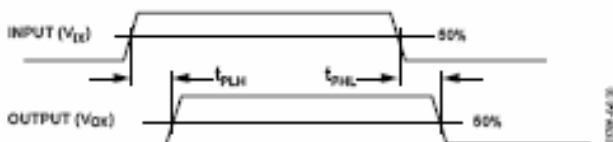


Figure 18. Propagation Delay Parameters

Pulse-width distortion is the maximum difference between these two propagation delay values and is an indication of how accurately the input signal's timing is preserved.

Channel-to-channel matching refers to the maximum that amount the propagation delay differs between channels within a single ADuM140x component.

Propagation delay skew refers to the maximum that amount the propagation delay differs between multiple ADuM140x components operating under the same conditions.

DC CORRECTNESS AND MAGNETIC FIELD IMMUNITY

Positive and negative logic transitions at the isolator input cause narrow (~1 ns) pulses to be sent to the decoder via the transformer. The decoder is bistable and is, therefore, either set or reset by the pulses, indicating input logic transitions. In the absence of logic transitions at the input for more than 2 μs , a periodic set of refresh pulses indicative of the correct input state are sent to ensure dc correctness at the output. If the decoder receives no internal pulses of more than about 5 μs , the input side is assumed to be unpowered or nonfunctional, in which case the isolator output is forced to a default state (see Table 10) by the watchdog timer circuit.

The limitation on the ADuM140x's magnetic field immunity is set by the condition in which induced voltage in the transformer's receiving coil is sufficiently large to either falsely set or reset the decoder. The following analysis defines the conditions under which this may occur. The 3 V operating condition of the ADuM140x is examined because it represents the most susceptible mode of operation.

The pulses at the transformer output have an amplitude greater than 1.0 V. The decoder has a sensing threshold at about 0.5 V, therefore establishing a 0.5 V margin in which induced voltages can be tolerated. The voltage induced across the receiving coil is given by

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

where:

β is magnetic flux density (gauss).

N is the number of turns in the receiving coil.

r_n is the radius of the n^{th} turn in the receiving coil (cm).

Given the geometry of the receiving coil in the ADuM140x and an imposed requirement that the induced voltage be at most 50% of the 0.5 V margin at the decoder, a maximum allowable magnetic field is calculated as shown in Figure 19.

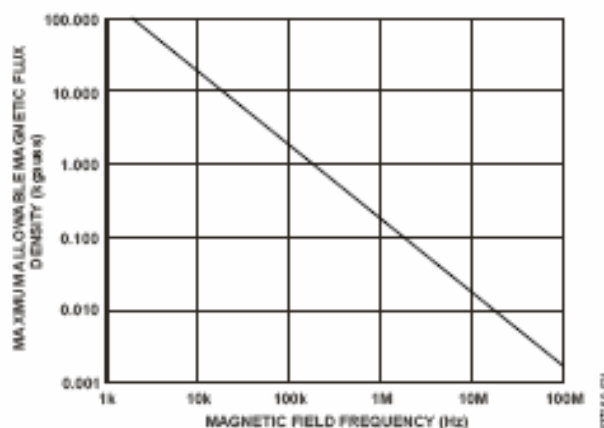
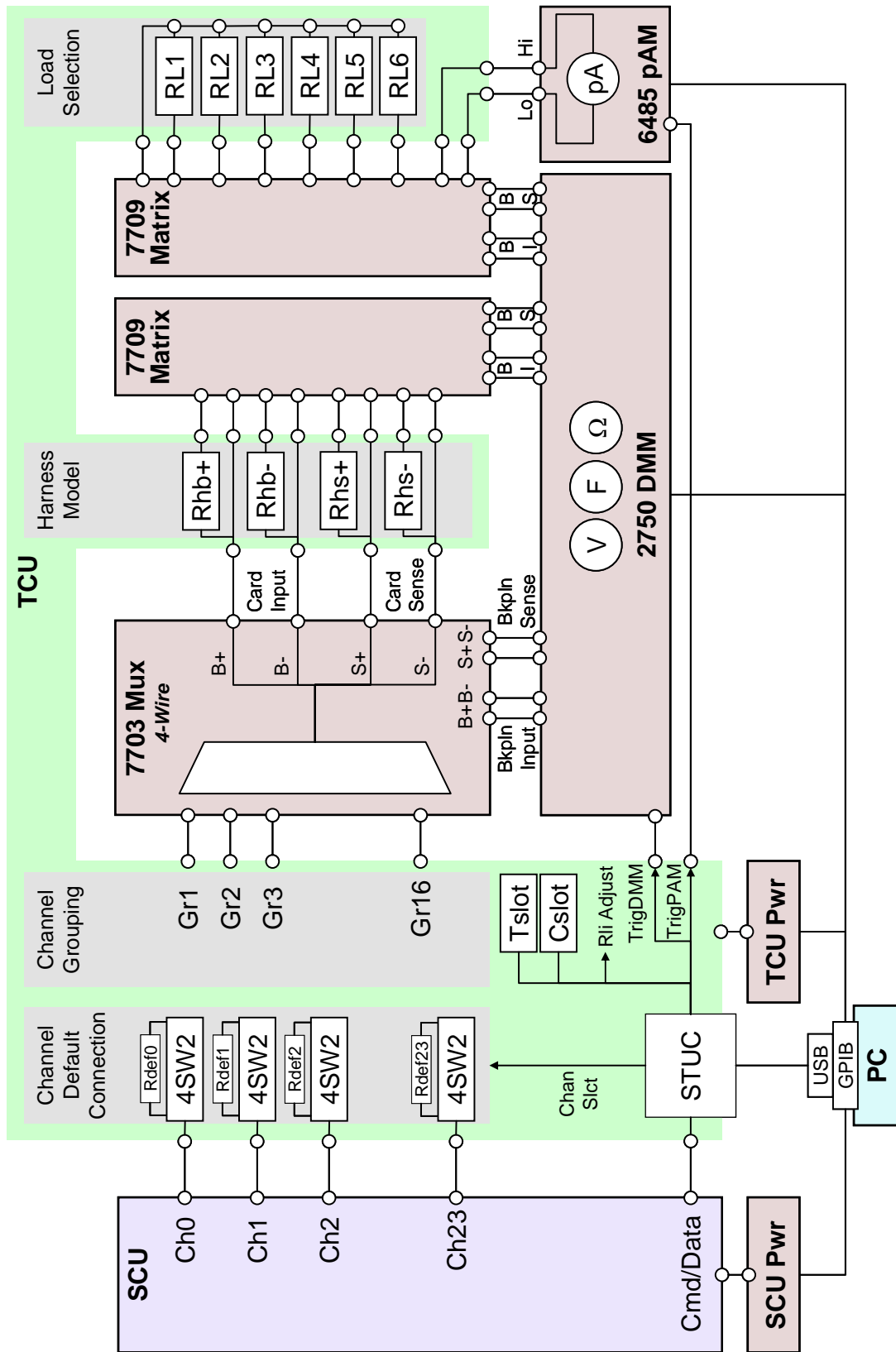


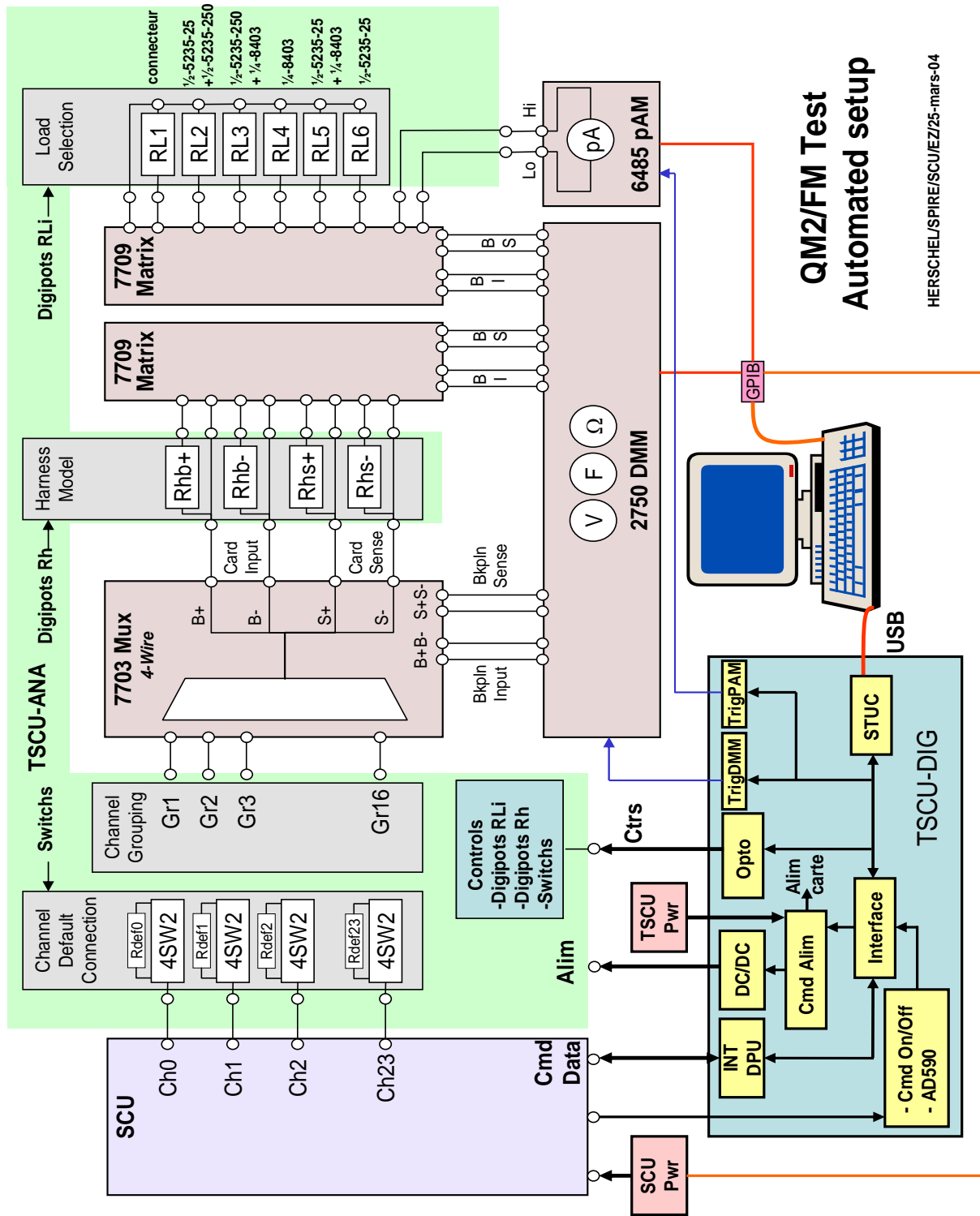
Figure 19. Maximum Allowable External Magnetic Flux Density

Annexe D :
Synoptique de la 1^{ère} carte TSCU

SCU Test Setup



Annexe E :
Synoptique de la carte TSCU
(TSCU-ANA et TSCU-DIG)



Annexe F : Schémas de la carte TSCU-DIG

