

Rapport de stage

COMMISSARIAT A L'ENERGIE ATOMIQUE DE SACLAY



Auteur: Julien ZACZYNSKI

Maître de stage: Mr. Nicolas T. FOURCHES

Conception de cellules analogiques tolérantes aux radiations, dans la technologie IBM 0.13 μ m, destinées à des applications de détection de particules

Master 2 Microélectronique et Architecture des Circuits Intégrés

Année 2008-2009

Université Blaise Pascal – Clermont-Ferrand II



31/07/2009

SOMMAIRE

Introduction	1
1. Conception de transistors tolérants aux radiations	3
1.1. Etude théorique	3
1.1.1. Présentation et effets des phénomènes de radiation	3
1.1.1.1. Notion de radiations	3
1.1.1.2. Courants de fuite drain-source et inter-transistors	3
1.1.1.3. Conséquences sur la tension de seuil	4
1.1.1.4. Conséquences sur la transconductance	4
1.1.2. Méthodes d'amélioration de la tolérance aux radiations	5
1.1.2.1. Transistors fermés	5
1.1.2.2. Anneaux de garde	5
1.1.2.3. Technologie utilisée	6
1.2. Conception et simulation des transistors	8
1.2.1. Transistor NMOS fermé	8
1.2.1.1. Layout du transistor	8
1.2.1.2. Création de la cellule paramétrée	9
1.2.1.3. Prise en compte des longueurs de grille	11
1.2.1.4. Simulations	13
1.2.2. Transistor PMOS fermé	14
1.2.3. Transistor NMOS fermé avec anneau de garde	15
2. Conception de pixels pour détecteurs de particules	18
2.1. Etude théorique	18
2.1.1. Présentation des détecteurs de particules	18
2.1.1.1. Evolution des capteurs CMOS	18
2.1.1.2. Présentation générale des MAPS	19

2.1.1.3. Etude des pixels	20
2.1.1.4. Type de transistors utilisés dans les pixels	22
2.1.2. Etude du bruit d'un pixel	22
2.1.2.1. Bruit thermique	22
2.1.2.2. Bruit en 1/f	23
2.1.2.3. Application aux transistors MOS	24
2.1.2.4. Notions de bruit en sortie et bruit ramené à l'entrée	25
2.2. Conception des pixels.	26
2.2.1. Cahier des charges et définitions	26
2.2.2. Conception schématique d'un pixel	26
2.2.2.1. Conception du pixel	26
2.2.2.2. Dimensionnement des transistors	28
2.2.3. Simulations et résultats	29
2.2.3.1. Analyse temporelle et dc	29
2.2.3.2. Analyse ac et de bruit	31
2.2.4. Optimisation du pixel	34
2.2.4.1. Amélioration du bruit du pixel	34
2.2.4.2. Amélioration du facteur de conversion	40
2.2.5. Conception layout de pixels	46
2.2.5.1. Conception de diodes	46
2.2.5.2. Pixel sans amplificateur interne	48
2.2.5.3. Pixel avec amplificateur interne	50
Conclusions et perspectives	53
Annexes	54

Introduction

Les applications microélectroniques utilisées dans le domaine de la physique des particules doivent répondre à des exigences particulières, imposées par l'environnement dans lequel elles sont utilisées. En effet, outre les contraintes de dimensions et de performances classiquement recherchées lors de la conception de circuits intégrés, celles-ci se doivent également d'être tolérantes aux radiations intervenant dans les applications nucléaires, aéronautiques ou spatiales.

Les MAPS (Monolithic Active Pixel Sensors) sont des capteurs d'image CMOS, ayant succédé aux CCD (Charge Coupled Device), et qui sont étudiés pour être utilisés dans des applications de détection de particules. Suite aux avancées importantes qui ont été réalisées sur ces circuits depuis le début des années 90, ceux-ci sont devenus aussi performants que leurs prédécesseurs, tout en étant plus rapides, et en ayant une consommation et un coût de fabrication moins élevés. Ces progrès sont dus en grande partie à l'évolution des process technologiques, qui ont permis notamment la réduction de la taille des pixels et l'amélioration de leur bruit.

Ce sont des capteurs de ce type qui seront utilisés pour la conception du détecteur de vertex pour ILC (International Linear Collider), projet majeur de réalisation d'accélérateur de particules linéaire. L'ILC permettra de faire entrer en collision des électrons et leurs anti-particules, les positrons, avec une énergie pouvant aller jusqu'à 1 TeV. Le but de l'ILC est d'essayer de répondre aux questions concernant la nature fondamentale de la matière, de l'énergie, de l'espace et du temps, de la matière noire, de l'énergie noire et de l'existence de dimensions supplémentaires.

Le CEA (Commissariat à l'Energie Atomique) est un laboratoire fondé en 1945 dont les recherches sont axées sur l'énergie nucléaire, la recherche technologique, les sciences de la matière, les sciences du vivant et les applications militaires. Le CEA regroupe plus de 15 000 chercheurs répartis sur 9 sites implantés dans toute la France. Le stage que j'ai effectué s'est déroulé au CEA Saclay, site créé en 1947, et regroupant à lui seul près de 5000 chercheurs, et plus précisément au département de l'IRFU (Institut de Recherches sur les lois Fondamentales de l'Univers). L'IRFU appartient à la Direction des Sciences de la Matière du CEA, et ses activités relèvent de l'astrophysique, de la physique nucléaire et de la physique des particules.

Le stage que j'ai effectué au sein de l'équipe de microélectronique de ce département, a consisté à étudier une technologie nouvellement utilisée par les laboratoires, la technologie IBM 0,13 μ m, et à concevoir des composants tolérants aux radiations dans cette technologie, destinés à des applications de détection de particules.

La première partie porte sur la conception de transistors, et débute par une présentation des phénomènes de radiations, et notamment de leurs effets sur les composants microélectroniques. Nous verrons par la suite les techniques de layout qui peuvent être utilisées dans l'optique de rendre les transistors tolérants aux radiations. Les différents transistors dessinés ainsi que les résultats des simulations effectuées seront ensuite présentés.

La deuxième partie est axée sur les détecteurs de particules, et présente principalement le principe de fonctionnement des MAPS ainsi que les structures de pixels qui composent ces détecteurs. La conception de différents modèles de pixels tolérants aux radiations seront ensuite présentés, ainsi que les résultats de simulation qu'ils ont permis d'obtenir, notamment en ce qui concerne le bruit.

Partie 1

Conception de transistors tolérants aux radiations

1.1. Etude théorique

L'objectif de cette partie est de comprendre la manière dont agissent les radiations sur les composants d'un circuit intégré, et de présenter les méthodes de conception de transistors qui permettent d'améliorer la tolérance aux radiations.

1.1.1. Présentation et effets des phénomènes de radiation

1.1.1.1. Notion de radiations

L'exposition des composants aux radiations dépend de l'environnement et des conditions dans lesquels ils sont utilisés. Celle-ci sera particulièrement importante pour des applications spatiales, aéronautiques ou nucléaires [1].

Les radiations auxquelles on s'intéresse ici sont qualifiées de ionisantes, et peuvent agir sur le comportement des composants CMOS. Les radiations ionisantes correspondent en effet à des rayonnements électromagnétiques ou particulaires capables de produire des ions au contact de la matière.

1.1.1.2. Courants de fuite drain-source et inter-transistors

Lorsqu'un transistor est soumis à des radiations, des particules ionisantes créent des paires électrons-trous dans l'oxyde et le silicium. La relative mobilité des électrons permet à ceux-ci de s'extraire de l'oxyde, alors qu'une grande partie des trous, moins mobiles, y restent prisonniers. L'oxyde de grille devient alors chargé positivement. Cette accumulation de charges positives dans l'oxyde conduit à la formation d'une couche d'inversion dans le substrat P ou le P-well, sous l'oxyde ou à la limite de la zone active. Cela entraîne des fuites de courant entre le drain et la source, mais également entre les transistors eux-mêmes, plus précisément entre les diffusions N+ voisines [2 – 3].

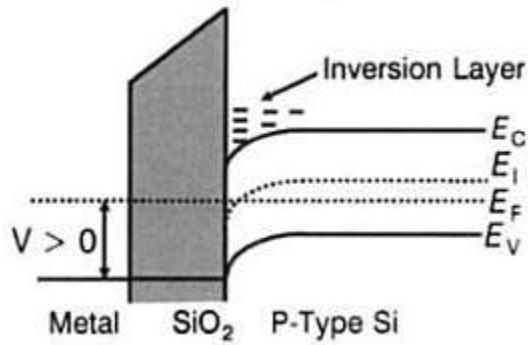


Fig. 1.1: Bande d'énergie d'une structure MOS pour une polarisation de grille importante.

1.1.1.3. Conséquences sur la tension de seuil

Les courants de fuite induits par les radiations conduisent à des tensions d'offset et des décalages de tension de seuil, qui perturbent le fonctionnement du transistor [4]. En effet, celui-ci peut alors devenir passant pour une tension de grille inférieure à la tension de seuil, voir en l'absence de polarisation si les charges accumulées dans l'oxyde sont suffisamment importantes.

1.1.1.4. Conséquences sur la transconductance

L'exposition des transistors aux radiations a également pour conséquence de diminuer leur transconductance. Ce phénomène est plus important pour les transistors NMOS que PMOS (Fig. 1.2), et peut, pour ceux-ci, provoquer une chute de l'ordre de 10% pour les doses d'irradiation les plus fortes.

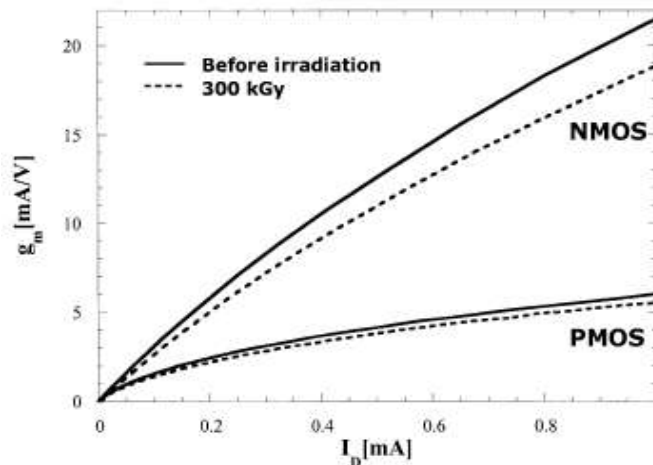


Fig. 1.2: Evolution de la transconductance en fonction du courant de drain avant et après irradiation pour des transistors NMOS et PMOS en technologie 0,18 μ m [5].

1.1.2. Méthodes d'amélioration de la tolérance aux radiations

Pour améliorer la tolérance aux radiations des transistors, différentes méthodes peuvent être utilisées. Celles-ci consistent principalement à dessiner les composants en suivant des techniques de layout particulières, qui sont basées sur la réalisation de structures fermées et d'anneaux de garde [3]. Nous verrons également le rôle que peut jouer la technologie utilisée dans la tolérance aux radiations. Enfin, nous expliquerons pourquoi l'utilisation de transistors PMOS ne nécessite pas les mêmes précautions.

1.1.2.1. Transistors fermés

Parmi les techniques de layout destinées à améliorer la tolérance aux radiations des transistors MOS, on trouve la conception de structures fermées. Cela signifie que la grille entoure entièrement le drain (ou la source), et que la source (ou le drain) se situe tout autour de cette grille (Fig. 1.3). Le rôle de cette structure est d'empêcher les courants de fuite entre le drain et la source. Cela est rendu possible par le fait que tout chemin entre le drain et la source passe sous la grille. Le choix du drain et de la source est laissé libre, mais il peut être intéressant de définir l'élément interne comme étant le drain. En effet, dans cette configuration, la surface du drain est minimisée, ce qui permet de diminuer la capacité grille-drain, et donc aussi de limiter l'effet Miller [6].

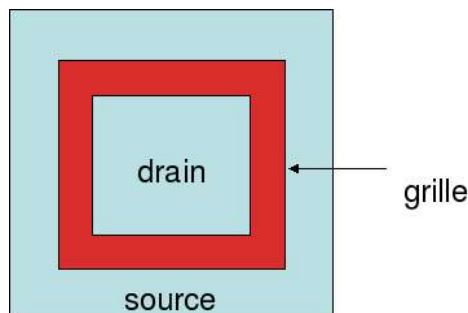


Fig. 1.3: Représentation d'un transistor fermé.

1.1.2.2. Anneaux de garde

Les courants de fuite inter-transistors sont dus à la formation d'une zone d'inversion dans le substrat P ou le P-well. En augmentant le niveau de dopage de la surface en question, on accroît le seuil d'inversion à un très haut niveau, si bien que la charge positive générée dans l'oxyde ne sera plus suffisante pour inverser le silicium à l'interface Si-SiO₂. Cela peut être réalisé en dessinant un anneau de garde P+ tout autour du transistor afin de séparer les diffusions N+ que l'on souhaite isoler les unes des autres.

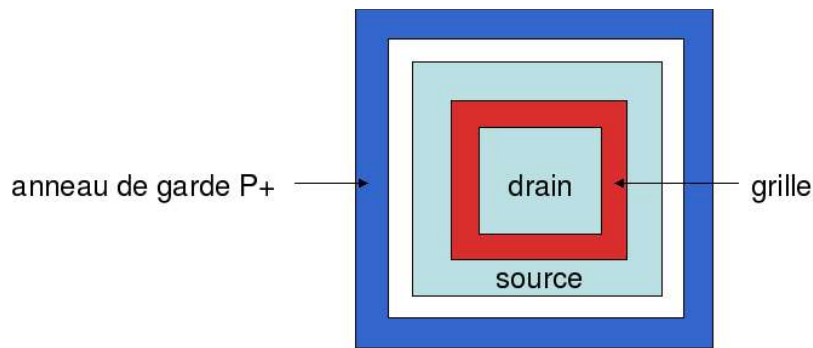


Fig. 1.4: Représentation d'un transistor fermé avec anneau de garde.

1.1.2.3. Technologie utilisée

La tolérance aux radiations est également dépendante de la technologie utilisée. En effet, il a été montré que plus l'épaisseur d'oxyde de grille est faible plus le transistor est tolérant [7]. Cela peut notamment se vérifier en observant les variations de tension de seuil en fonction de la dose d'ionisation, pour différentes technologies (Fig. 1.5).

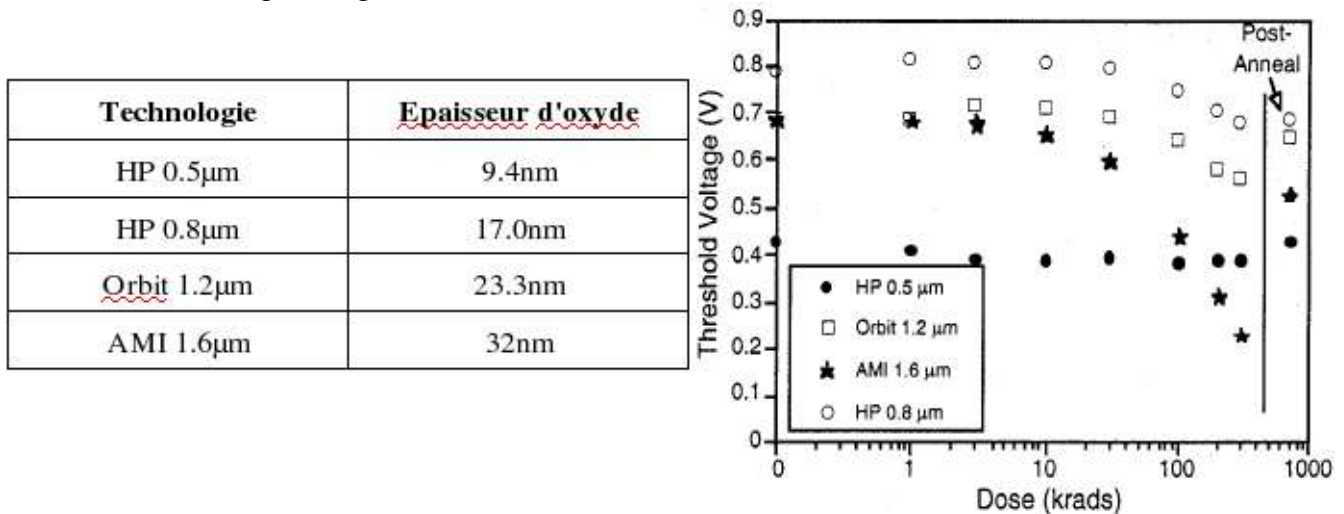


Fig. 1.5: Evolution de la tension de seuil en fonction de la dose d'ionisation pour 4 technologies différentes [8].

On s'aperçoit que pour la technologie à longueur de grille de 1,6 μm , la tension de seuil diminue très fortement, alors que pour une longueur de canal de 0,5 μm celle-ci est presque constante, ce qui confirme l'amélioration de la tolérance aux radiations avec la diminution des dimensions des process technologiques.

En ce qui concerne la transconductance, l'amélioration de la tolérance aux radiations relative à la technologie est moins évidente. Cependant, il a été montré, avec une technologie 0,13 μm , que la chute

de transconductance était plus faible pour un transistor NMOS si sa longueur de grille était proche de la valeur minimale, et qu'elle était inexistante pour un PMOS (Fig. 1.6).

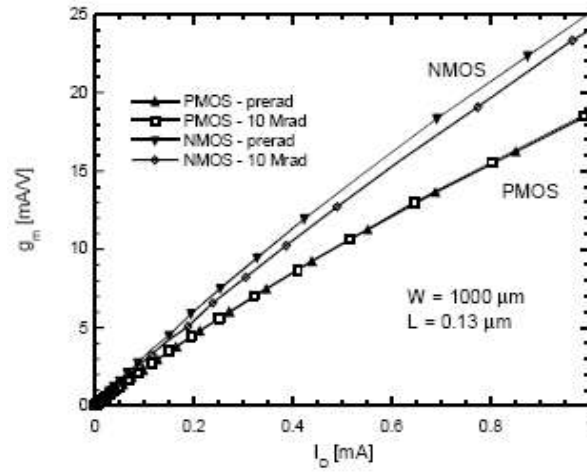


Fig. 1.6: Evolution de la transconductance en fonction du courant de drain pour des transistors NMOS et PMOS à longueur de grille minimale dans une technologie $0,13\mu\text{m}$ [4].

1.2. Conception et simulation des transistors

L'objectif de cette partie est de concevoir des transistors tolérants aux radiations, selon les techniques étudiées précédemment, dans la technologie IBM 0.13 μm . Les diverses étapes de la conception seront expliquées, du rôle de chacun des layers à la réalisation de la cellule paramétrée. Le comportement de chacun de ces composants sera alors étudié pour différentes valeurs de longueur et largeur de grille.

1.2.1. Transistor NMOS fermé

Pour ce premier composant, le but est de réaliser un transistor NMOS en géométrie fermée, tel qu'il a été présenté dans l'étude théorique, aux dimensions minimales imposées par la technologie. A partir de celui-ci, une cellule paramétrée sera conçue de manière à pouvoir choisir les valeurs des longueurs et largeurs de grille souhaitées à l'insertion du composant dans un layout. Ceci nous permettra alors de réaliser une matrice de transistors de différentes dimensions, afin d'observer le comportement de ceux-ci et de vérifier que le transistor créé est bien conforme au modèle du transistor NMOS linéaire fourni par le fondeur. La conception de ce composant sera particulièrement détaillée car celui-ci nous servira pour la réalisation des autres transistors, qui sera basée sur les mêmes principes.

1.2.1.1. Layout du transistor

Nous allons ici présenter les différentes étapes de la création du transistor NMOS fermé, en précisant les layers utilisés et les principales règles de dessin à respecter pour concevoir ce composant aux dimensions minimales. Le layout final est visible en figure 1.7.

Nous allons donc commencer par concevoir un drain, en créant une diffusion N+ avec de l'active (RX), mise en contact avec une métallisation pour permettre de s'y connecter. Cependant, il faut avoir à l'esprit la structure du transistor que l'on veut dessiner et penser au fait que pour accéder au drain, on devra passer sur la source. L'idéal est donc de conserver le métal1 pour celle-ci et de réaliser le drain en métal2. La superficie minimale d'un layer M2 étant 0.120 μm^2 , nous allons créer un carré de 0,36 μm de côté, connecté au métal M1 par l'intermédiaire d'un via V1 (carré de 0,20 μm). Enfin pour connecter le métal à l'active, il est nécessaire de dessiner un contact CA de 0,16 μm de côté. Pour la grille, la largeur minimale de polysilicium (PC) imposée par la technologie est 0,12 μm . La principale contrainte à respecter est l'obligation de dessiner des angles à 45°. On dessine maintenant pour la source une métallisation M1 (largeur minimale de 0,16 μm) autour de la grille, sur laquelle nous plaçons des contacts CA, qui doivent, au minimum, être espacés de 0,24 μm . Enfin, le bord de la diffusion doit être

espacé de $0,55\mu\text{m}$ de celui du polysilicium.

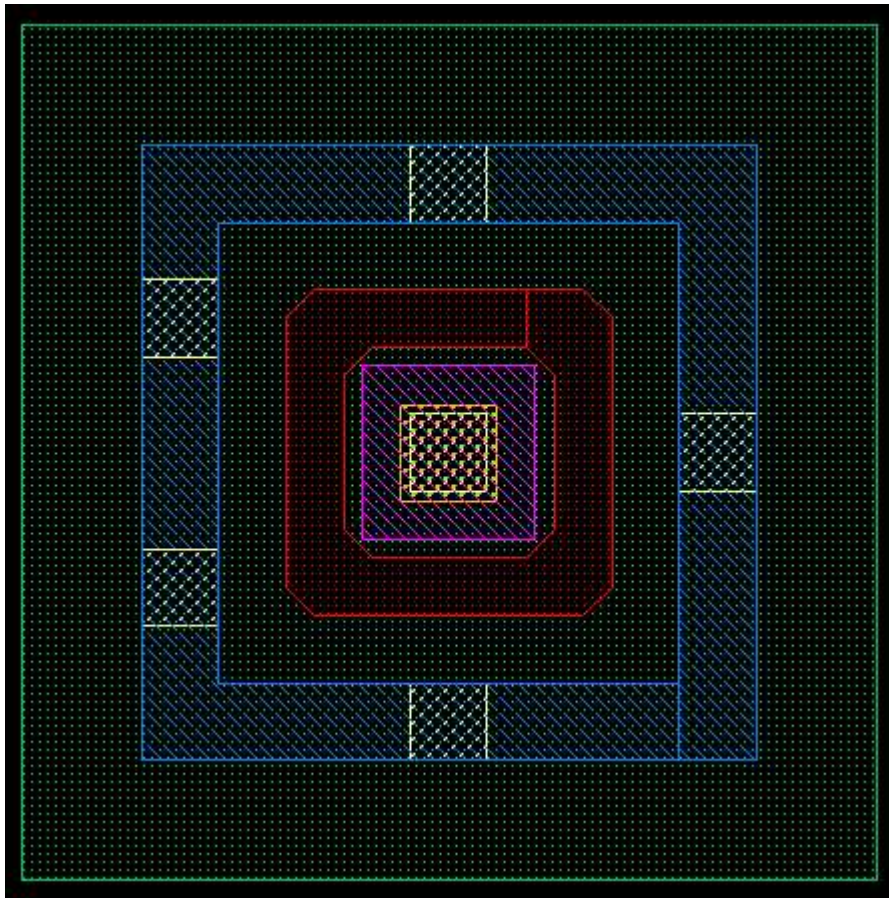


Fig. 1.7: Premier transistor NMOS fermé réalisé.

1.2.1.2. Création de la cellule paramétrée

A partir du layout du transistor créé précédemment, nous allons maintenant voir comment il est possible de réaliser une cellule paramétrée, permettant de définir les longueurs et largeurs de grille souhaitées. L'ensemble des layers du transistor doivent alors s'adapter aux dimensions choisies, et permettre le maintien du respect des règles de dessin.

Pour créer notre cellule paramétrée, deux fonctions du menu *pcell* sont nécessaires: *stretch* et *repetition*:

- *stretch* permet d'étirer les layers de notre choix en fonction des paramètres définis. La modification des dimensions d'un layer entraînera le décalage de la même distance des autres layers.
- *repetition* permet de répéter un objet un certain nombre de fois, dépendant de l'espace

séparant chacun d'entre eux et des paramètres de notre choix.

La fonction *stretch* va donc nous permettre d'étirer tous les layers du transistor (drain, source, zone active, contacts, vias) en fonction des dimensions de la grille. C'est ce que permettent de réaliser les lignes jaunes visibles sur le layout de la figure 1.6. Quant à la fonction *repetition*, elle sera utile pour ajouter autant de contacts et de vias que possible sur toute la longueur du transistor.

Il est tout d'abord important de noter que, en raison de la géométrie des transistors, la largeur de grille augmente lorsqu'on accroît la longueur de celle-ci. Pour créer la cellule paramétrée du transistor on utilise donc une variable parallèle W' (Fig. 1.8), qui permettra d'exprimer la largeur de grille réelle en fonction de la longueur de grille.

La principale difficulté rencontrée lors de la création de la cellule paramétrée du transistor fermé se situe au niveau de la grille. En effet, en raison des contraintes liées à la technologie, qui impose des angles à 45° pour le polysilicium, et celles imposées par la fonction *stretch*, qui ne permet de faire des étirements que horizontalement ou verticalement, il est impossible que les dimensions des coins de la grille « carrée » évoluent identiquement à celles des côtés. En effet, dans cette configuration, il est évident que plus on augmente la longueur de grille, plus les coins sont proportionnellement inférieurs aux côtés. Les coins de la grille étant en quelque sorte des éléments parasites dont il est difficile de définir le comportement, nous cherchons à minimiser leur influence. Connaissant l'expression du courant circulant dans le transistor, $I_d = \frac{KW}{2L}(V_{gs} - V_t)^2$, nous voyons que celui-ci est inversement proportionnel à la longueur de la grille, et donc que plus la grille est longue, plus le courant est faible. Nous allons donc chercher à concevoir une grille de transistor dont les dimensions dans les coins restent supérieures à celles des côtés quelle que soit la longueur de grille. Ainsi, l'influence du courant sera moindre dans les coins. Comme nous l'avons vu précédemment, créer une telle grille avec un layer unique est impossible. C'est pourquoi nous allons découper celui-ci de manière à ce que les coins soient indépendants des côtés.

Dans cette configuration, la largeur des rectangles composant les coins est constante quelle que soit la dimension de la grille. La longueur de grille dans les coins évolue alors proportionnellement à celle des côtés, lui permettant ainsi de lui rester légèrement supérieure pour toute taille de grille.

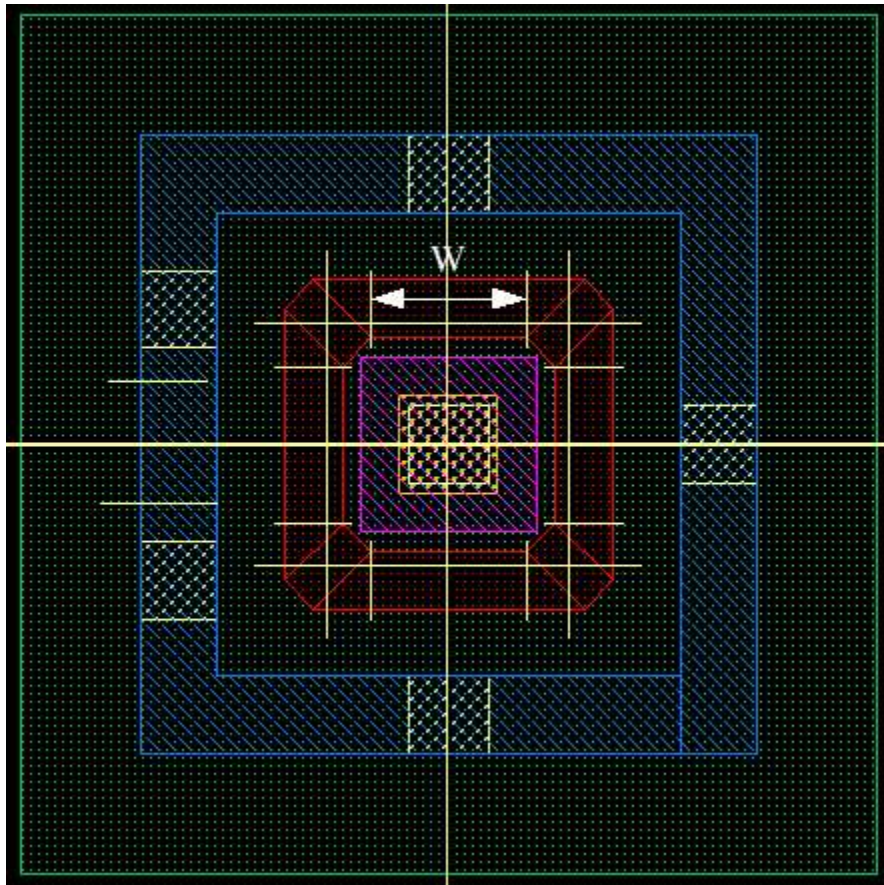


Fig. 1.8: Transistor NMOS fermé avec grille optimisée.

1.2.1.3. Prise en compte des longueurs de grille

Afin de pouvoir par la suite effectuer des simulations, il est tout d'abord nécessaire de faire l'extraction de notre layout. Nous obtenons alors une vue *extracted* qui affiche sur le layout la vue schématique des différents composants correspondant, ainsi que leurs paramètres. Cela nous permet d'avoir un premier aperçu de la correspondance entre layout et schematic.

En observant la vue extraite, on s'aperçoit que les longueurs de grille de nos transistors fermés ne sont pas prises en compte, et qu'elles sont arbitrairement définies à 60nm. Après différentes études sur notre transistor et ceux fournis par IBM, ainsi que sur les fichiers d'extraction, on a pu constater que la longueur de grille était par défaut calculée en additionnant les longueurs à chaque frontière entre le polysilicium et l'active, puis en divisant ce résultat par 2. Cela semble parfaitement en accord avec la structure classique d'un transistor NMOS, tel que celui fourni par le fondeur, puisque la grille dépasse de la zone active par deux côtés. En revanche, la grille de notre transistor fermé ne sort en aucun endroit de l'active. Cependant, pour relier notre transistor au reste du circuit, nous aurons forcément

besoin d'une connexion de grille qui sorte du transistor. Il semble donc intéressant de concevoir directement notre transistor avec deux connexions, ce qui permettrait en principe de remédier au problème des longueurs de grille lors de l'extraction.

Cette hypothèse a donc été testée, mais s'est avérée infructueuse, du fait de l'impossibilité de dessiner une grille avec une telle géométrie. En effet, dans cette configuration, la grille ne pouvant être parcourue dans son intégralité de manière continue, elle ne respecte pas les règles de dessin de la technologie. La solution retenue a été de dessiner un transistor avec une seule connexion (Fig. 1.10). Dans ce cas, la longueur de grille extraite serait deux fois plus petite que la longueur de grille réelle. Pour résoudre ce problème, il est alors nécessaire d'agir directement sur le fichier d'extraction à utiliser. Il a alors simplement suffi de le modifier de telle sorte qu'il ne divise pas la longueur de grille mesurée par deux. Après extraction, on s'aperçoit maintenant que les longueurs de grille extraites correspondent bien aux valeurs réelles.

Un problème subsiste néanmoins en ce qui concerne les largeurs de grille. En effet, lors de l'extraction, la connexion de polysilicium que nous avons rajouté est prise en compte dans la mesure de la largeur de grille, alors que celle-ci ne fait pas partie du transistor. Cette connexion implique en quelque sorte la création d'un transistor parasite formé par la diffusion N+ présente de part et d'autre de celle-ci. Cependant, le drain et la source de ce transistor parasite sont reliés au même potentiel, qui est celui de la source du transistor fermé. Ce « transistor » n'a donc aucune influence et ne doit en aucun cas intervenir dans la détermination des paramètres du transistor fermé que nous avons dessiné. La mesure de la largeur de grille doit donc se faire en ignorant cette connexion. Le fichier d'extraction a alors de nouveau été modifié, de telle sorte que la largeur extraite corresponde uniquement à la grille « carrée » du transistor (Fig. 1.9). La limitation de ce processus vient du fait que l'extracteur n'est maintenant adapté qu'au cas des transistors fermés qui ont été créés, et celui ne fonctionnerait plus correctement si des transistors fermés étaient dessinés différemment ou si des transistors linéaires étaient utilisés.

```
procedure( FET_mesure( dev_ID )
let( ( length width PSP PSP2 PSP3 DP nc gcon nrd vert_fet VF ORIENT t3_triple_well T3_option t3well )
length = measureParameter( length ( dev_ID inside pc_input ) .5e-6 )
nameParameter( length "l" )
width = measureParameter( length ( dev_ID coincident pc_input ) .5e-6 )
nameParameter( width "w" )
```



```
procedure( FET_mesure( dev_ID )
let( ( length width width2 PSP PSP2 PSP3 DP nc gcon nrd vert_fet VF ORIENT t3_triple_well T3_option t3well )
length = measureParameter( length ( dev_ID inside pc_input ) 1e-6 )
nameParameter( length "l" )
width2 = measureParameter( length ( dev_ID coincident pc_input ) 1e-6 )
width = calculateParameter( ( width2 + length - 1.0698e-6 ) / 2 )
nameParameter( width "w" )
```

Fig. 1.9: Modification du fichier d'extraction pour la mesure des longueurs et largeurs de grille des transistors fermés.

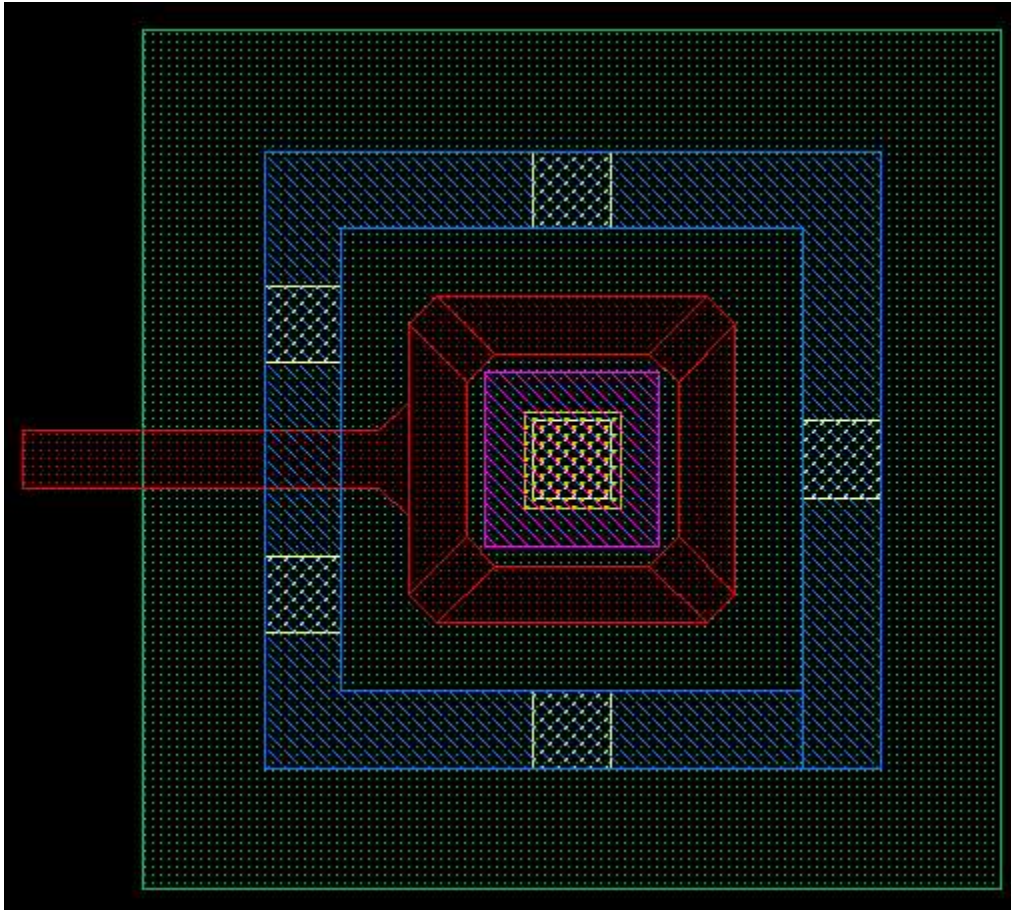


Fig. 1.10: Transistor NMOS fermé avec connexion de grille.

1.2.1.4. Simulations

Après avoir conçu notre transistor NMOS fermé, il est nécessaire de passer à une étape de simulation, afin de vérifier que le comportement de celui-ci est correct. Pour cela, nous avons créé une matrice de transistor en layout (avec diodes de protection sur les entrées) (cf. Annexe A1), contenant plusieurs exemplaires de notre composant, pour différentes longueurs et largeurs de grille. Nous avons alors créé la matrice correspondante en schematic, en utilisant le modèle d'un transistor NMOS fourni dans la bibliothèque d'IBM (cf. Annexe A2). L'objectif est de vérifier que les caractéristiques des deux matrices sont similaires. Pour cela, après l'étape d'extraction, il est nécessaire d'effectuer une vérification LVS (layout vs schematic). Une fois que les deux netlists correspondent, il ne reste plus qu'à créer une vue *analog_extracted*. C'est cette vue qui nous servira pour simuler le comportement du layout de la matrice de transistors fermés.

Pour simuler les vues *schematic* et *analog_extracted*, une cellule de test est réalisée. Nous allons observer les caractéristiques $I_d=f(V_{ds})$ des transistors, pour V_{ds} allant de 0 à la valeur maximale

d'alimentation, c'est-à-dire 1,2V, et une tension de grille V_{gs} de 0,5V.

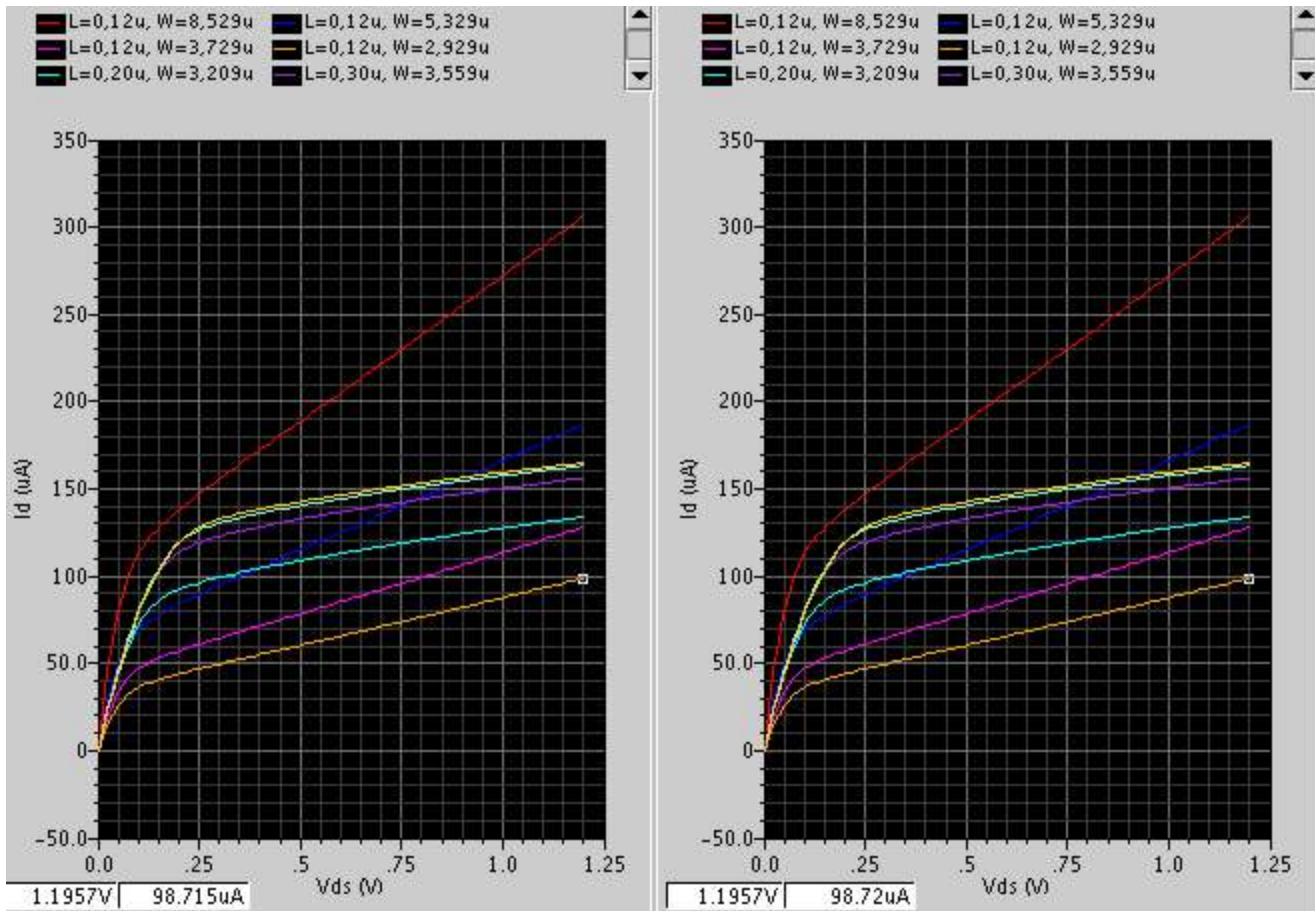


Fig. 1.11: Caractéristique $I_d=f(V_{ds})$ pour différentes tailles de transistor NMOS fermé.

On constate alors que les deux caractéristiques sont identiques, et donc que les composants du layout retranscrivent correctement le comportement des modèles des composants utilisés dans le schematic. En ce qui concerne la caractéristique elle-même, on s'aperçoit que, de manière générale, les courants sont relativement élevés par rapport aux valeurs des transistors linéaires. Cela s'explique simplement par la géométrie de la grille, qui fait que la largeur totale de celle-ci est beaucoup plus grande.

1.2.2. Transistor PMOS fermé

La conception du transistor PMOS est réalisée à partir du NMOS précédent, simplement en transformant les diffusions N+ en diffusions P+, et en plaçant le composant dans un caisson N (N-well).

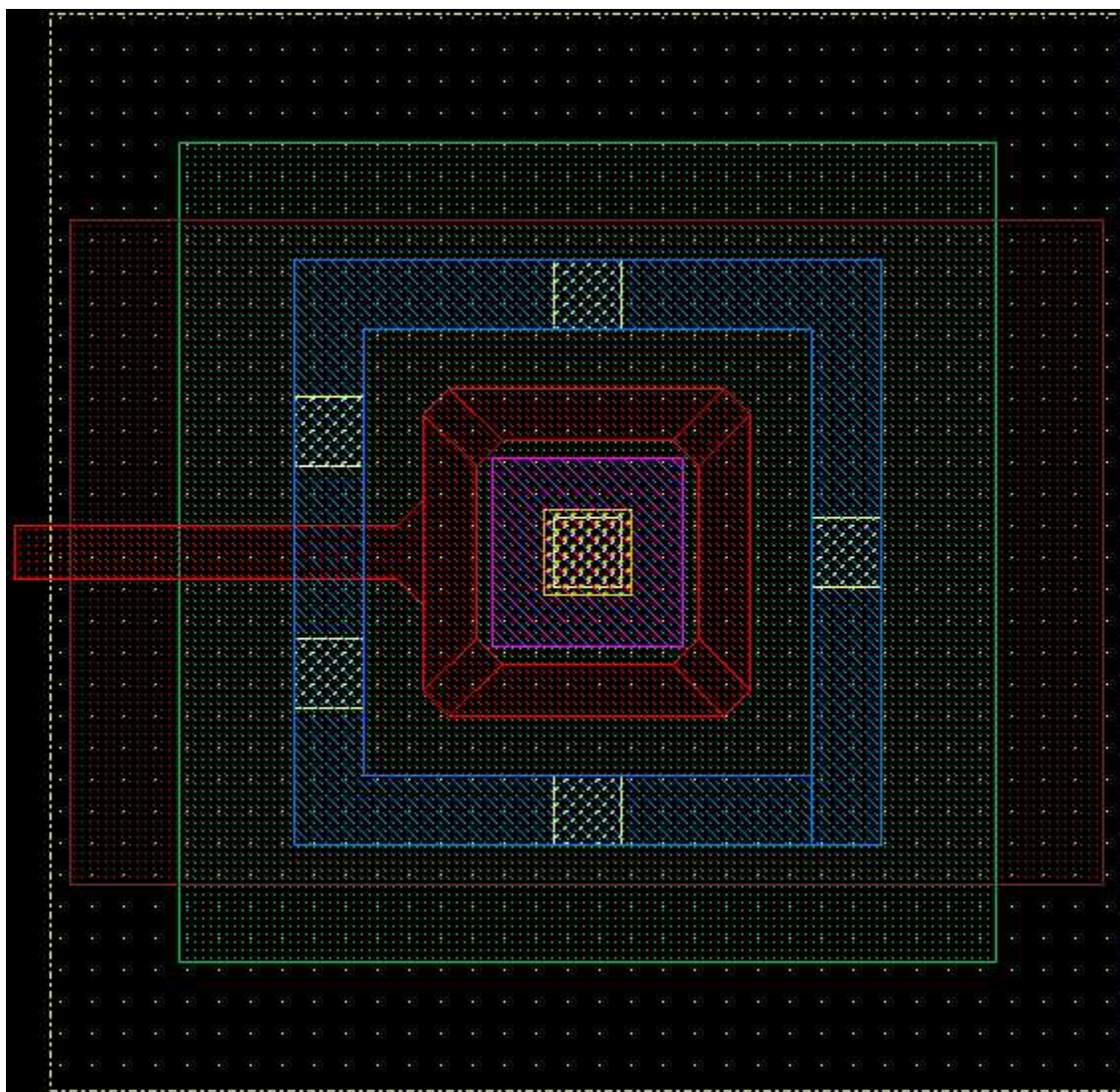


Fig. 1.12: Transistor PMOS fermé.

Comme précédemment, une matrice de pixels PMOS a été créée, en schematic et en layout, dans le but de vérifier que le transistor réalisé suit bien le comportement du modèle de transistor PMOS disponible dans la librairie de la technologie, et également que les valeurs de longueurs et largeurs de grille extraites sont correctes.

1.2.3. Transistor NMOS fermé avec anneau de garde

La conception d'un transistor NMOS avec anneau de garde a également été réalisé. On a vu que celui-ci avait pour rôle de supprimer les courants de fuite inter-transistors. L'objectif est de pouvoir insérer directement dans un layout un transistor avec son anneau de garde, quelles que soient les dimensions du composant, plutôt que de devoir dessiner l'anneau à la main pour chaque transistor du layout. Pour

cela, une diffusion P+ est dessinée tout autour du transistor.

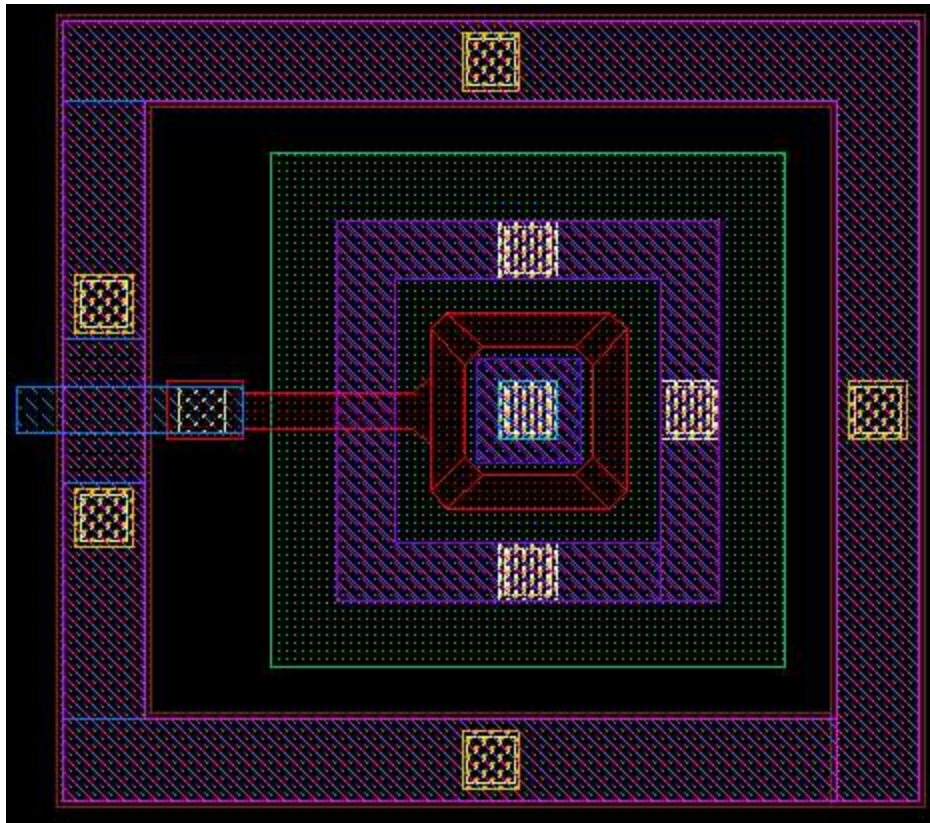


Fig. 1.13: Transistor NMOS fermé avec anneau de garde.

La principale difficulté vient du fait que le polysilicium de la connexion de grille ne peut croiser cette diffusion. En effet, les règles de dessin stipulent que le polysilicium doit séparer la diffusion en deux parties distinctes (ce qui, dans ce cas, créerait un transistor PMOS), alors qu'ici la diffusion se rejoint de chaque côté de la connexion de grille. Il est donc nécessaire de passer cette connexion en métal avant de sortir de l'anneau de garde. Il peut être intéressant de noter que l'anneau de garde peut également faire office de prise substrat.

Références

- [1] C. Claeys, E. Simoen, *Radiation Effects in Advanced Semiconductor Materials and Devices*, World Scientific, 2002.
- [2] T.R. Oldham, *Ionizing Radiation Effects in MOS Oxides*, World Scientific, 1999.
- [3] W. Snoeys et al., "Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip", *Nuclear Instruments and Methods in Physics Research A 439*, 2000, pp. 349-360.
- [4] V. Re, M. Manghisoni, L. Ratti, V. Speziali et G. Traversi, "Total Ionizing Dose Effects on the Analog Performance of a 0.13 μm CMOS Technology", *IEEE Radiation Effects Data Workshop*, 2005, pp. 122-126.
- [5] Manghisoni et al., "Radiation Hardness Perspectives for the Design of Analog Detector Readout Circuits in the 0.18 μm CMOS Generation", *IEEE Transactions on Nuclear Science*, vol. 49, n°6, Dec. 2002.
- [6] N. Nowlin, J. Bailey, B. Turfler, D. Alexander, "A total-dose hardening-by-design approach for high-speed mixed-signal CMOS integrated circuits", *International Journal of High Speed Electronics and Systems*, vol. 14, n°2, 2004, pp. 367-378.
- [7] E. Simoen et al., "Short-Chanel Radiation Effect in 60 MeV Proton Irradiated 0.13 μm CMOS Transistors", *IEEE Transactions on Nuclear Science*, vol. 50, Dec. 2003, pp. 2426-2432.
- [8] J.V. Osborn, R.C. Lacoce, D.C. Mayer, and G. Yabiku, "Total Dose Hardness of Three Commercial CMOS Microelectronics Foundries", *IEEE Transactions on Nuclear Science*, vol. 45, n°3, Jun. 1998.

Partie 2

Conception de pixels pour détecteurs de particules

2.1. Etude théorique

Depuis leur invention, les capteurs d'image CMOS ont fait des progrès considérables jusqu'aux MAPS actuellement utilisés dans les appareils photo ou les caméras. Depuis quelques années, ces derniers sont activement étudiés pour être utilisés dans des applications de détection de particules. Le principe de fonctionnement de ces MAPS sera expliqué et les structures de pixels qui les composent seront présentées. Une attention particulière sera portée sur le bruit de ceux-ci.

2.1.1. Présentation des détecteurs de particules

2.1.1.1. Evolution des capteurs CMOS.

Les capteurs CMOS ont été inventés, pour le domaine de l'optique, dans les années 60, avant même l'apparition des CCD. Cependant, en raison des dimensions des transistors dans les technologies de cette époque, ceux-ci étaient particulièrement difficiles à intégrer dans les pixels. Ces derniers n'étaient alors composés que d'une photodiode et d'un switch. C'est ce qu'on appelle un pixel passif (fig. 2.1).

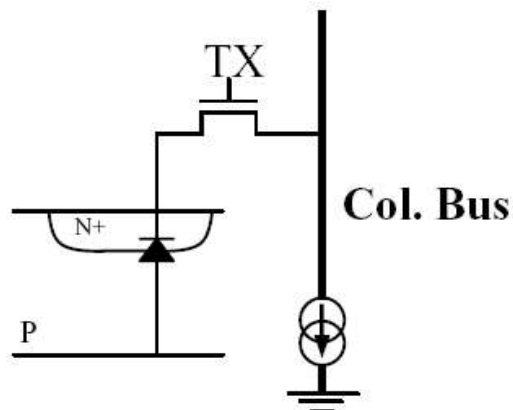


Fig. 2.1: Architecture d'un pixel passif.

Avec ce type de pixel, durant la lecture du signal de sortie, lorsque le switch est activé, la charge de la diode est directement transférée sur le bus de colonnes de la matrice, où elle est convertie en tension. Ce bus étant constitué d'une importante piste de métal, il implique une grande charge capacitive en sortie du pixel, ce qui a pour conséquence de réduire sa vitesse de lecture et d'augmenter son bruit. En outre, ceux-ci ne permettaient pas d'avoir un facteur de conversion (rapport entre la variation de tension en sortie du pixel et la charge collectée) suffisamment élevé.

Les performances de ces premiers capteurs CMOS étaient alors bien inférieures à celles des CCD, créés dans les années 70. Cependant, les progrès réalisés sur les process technologiques ont permis la miniaturisation des composants microélectroniques, et relancé les recherches sur les capteurs CMOS. D'importantes avancées ont alors été faites au début des années 90 dans le développement des APS (Active Pixel Sensors). Des circuits à transistors actifs ont été ajoutés à l'intérieur même du pixel, permettant ainsi de séparer l'élément détecteur du bus de sortie. En portant une attention particulière sur la conception de ces circuits, le bruit a pu être diminué de manière significative, permettant ainsi à ces APS de délivrer des performances comparables à celles des CCD, tout en étant plus rapides, et en ayant des consommations et des coûts de production plus faibles. Par ailleurs, le facteur de conversion est devenu suffisant pour les applications optiques courantes.

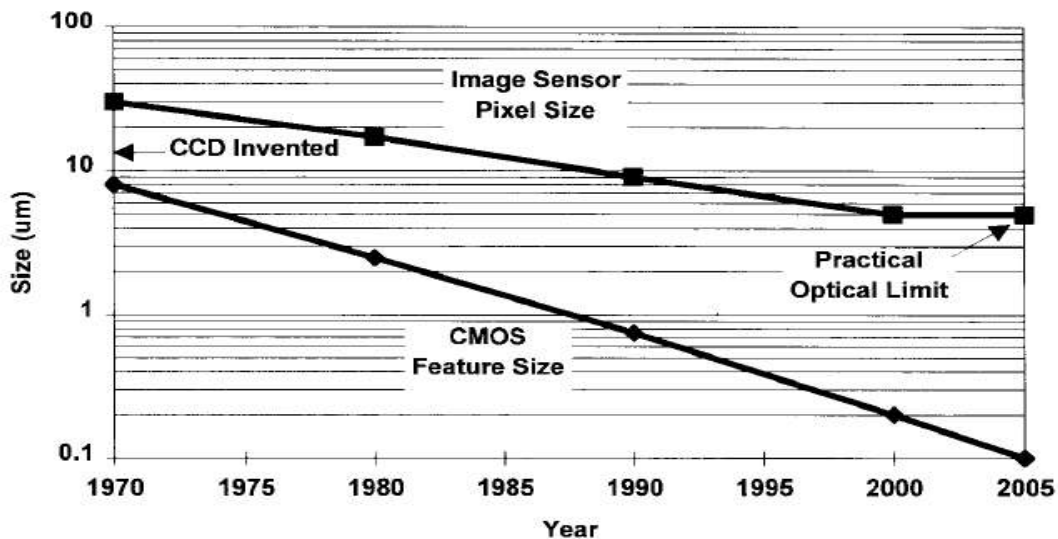


Fig. 2.2: Evolution de la taille des pixels des capteurs, de la création des CCD à nos jours [1].

2.1.1.2. Présentation générale des MAPS

Au sein d'un MAPS (Monolithic Active Pixel Sensor), la détection de particules est réalisée par une matrice de pixels, à l'intérieur desquels se trouve l'élément photosensible, généralement une photodiode. Le nombre de pixels et leurs dimensions peuvent varier. On trouvait par exemple une

matrice de 64x64 pixels avec un pitch (longueur du côté d'un pixel carré) de 20µm sur les prototypes de MAPS MIMOSA I, II et IV, et une matrice de 128x128 pixels avec un pitch de 8µm sur MIMOSA III [2]. Le MAPS est également constitué de différents blocs logiques et analogiques destinés notamment au contrôle temporel, à la sélection des lignes et colonnes de la matrice de pixels, ainsi qu'au traitement de l'information.

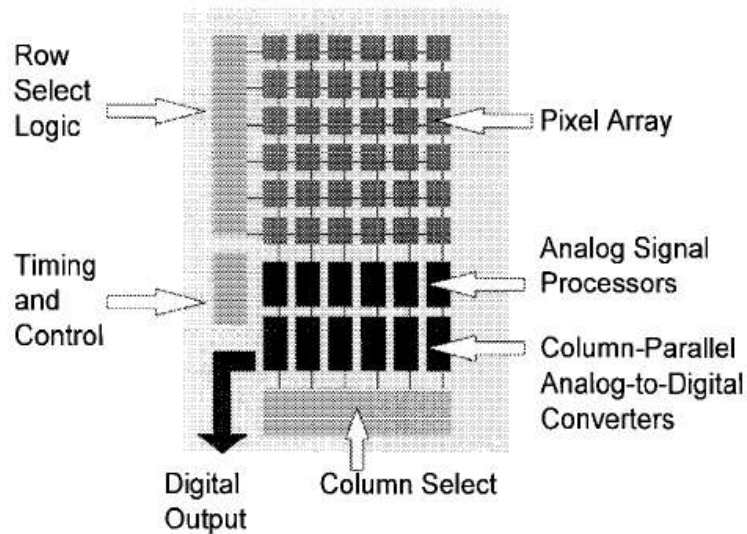


Fig. 2.3: Schéma de principe d'un MAPS [1].

2.1.1.3. Etude des pixels

Nous avons vu que l'utilisation de pixels passifs est délicate dans la conception de capteurs CMOS. Les MAPS, comme leur nom l'indique, sont constitués de pixels actifs. L'architecture classiquement utilisée, pour des raisons de facilité de conception, est le pixel 3T (à 3 transistors). C'est le type de pixel que l'on retrouve par exemple dans le circuit MIMOSA, représenté sur la figure 2.4. Celui-ci est constitué d'un transistor de reset (M1), d'un suiveur (M2), et d'un switch de sélection de ligne (M3). La photodiode est maintenant séparée du bus commun à tous les pixels d'une même colonne (ici noté column line) par le suiveur, ce qui a pour conséquence de minimiser l'influence de la capacité de ce bus, et d'augmenter le facteur de conversion.

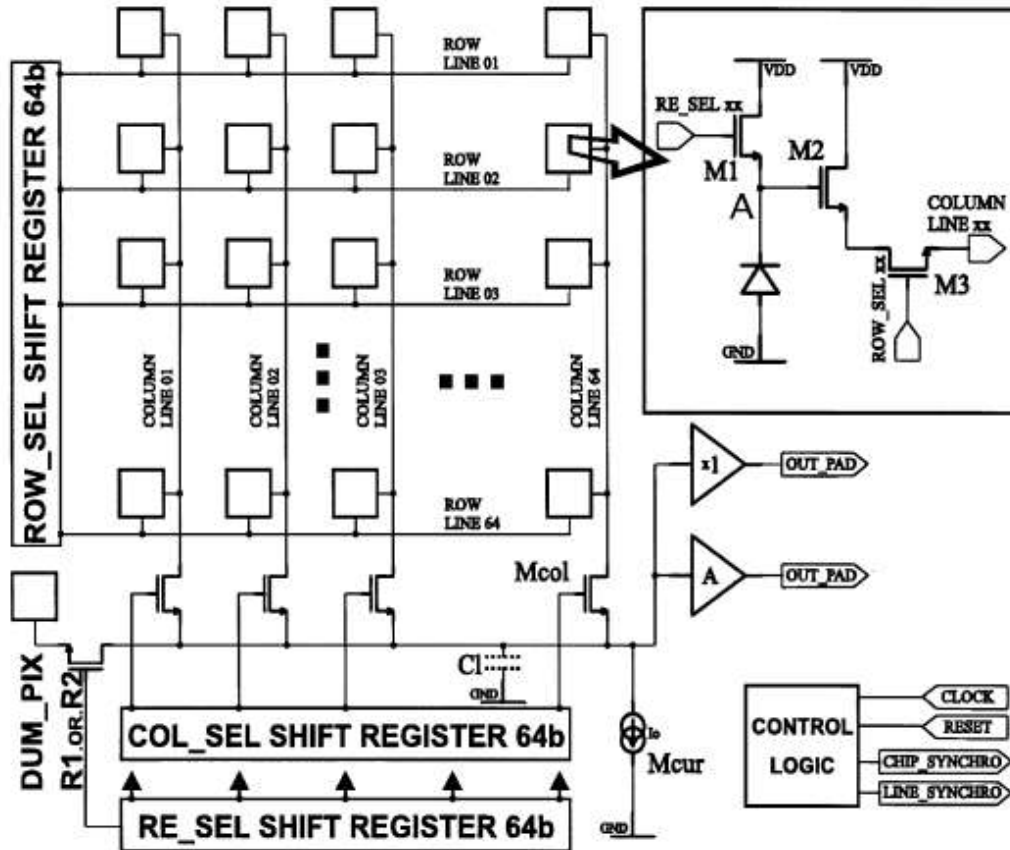


Fig. 2.4: Représentation simplifiée du détecteur MIMOSA, accompagné du schéma d'un pixel actif à 3 transistors [3].

En ce qui concerne le fonctionnement de ce type de pixels, il peut être découpé en 3 étapes (Fig .2.5):

- la phase de reset, pendant laquelle le transistor M1 est fermé. Le but de cette étape est d'initialiser la diode de détection à une tension de référence. En activant le transistor M3, le signal correspondant est alors lu en sortie et mémorisé par un circuit de traitement du signal.
- durant la seconde étape, appelée phase d'intégration, M1 et M3 sont bloqués. La photodiode est alors déconnectée de sa tension de référence, et devient équivalente à une capacité flottante. Les électrons libres, générés par les photons dans le silicium de la diode, s'accumulent au point A et leur charge s'ajoute au niveau de la capacité équivalente de la photodiode, ce qui a pour conséquence de diminuer le potentiel du point A.
- la troisième phase correspond à la lecture du signal de sortie. Le transistor M3 est alors activé et permet à la diode d'être connectée au bus commun (sur la sortie « column line ») par l'intermédiaire du suiveur M2. La tension au point A, légèrement atténuée par le gain du suiveur est mémorisée par le circuit de traitement du signal disposé en sortie.

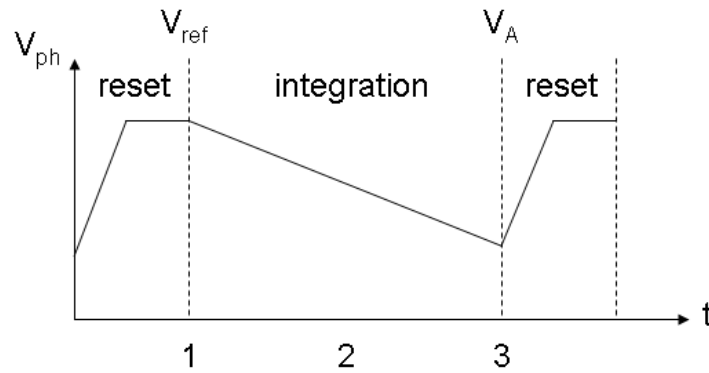


Fig. 2.5: Chronogramme du cycle d'un pixel actif à photodiode.

2.1.1.4. Type de transistors utilisés dans les pixels

Les transistors utilisés dans les pixels d'un MAPS ne peuvent être que des transistors NMOS. En effet, l'élément sensible est une diode N-well/P-substrate, et la conception d'un transistor PMOS requiert également l'utilisation d'un caisson N-well, ayant pour conséquence de créer une diode parasite avec le substrat P. La détection des particules serait alors faussée, limitant ainsi le fonctionnement de l'ensemble. Cette remarque est également valable pour les transistors « triple well », puisque ceux-ci sont constitués d'un anneau N-well entouré de couches de type P.

2.1.2. Etude du bruit d'un pixel

Comme nous l'avons vu précédemment, un pixel est composé de différents composants. Chacun d'entre eux est une source de bruit, dont on étudiera les deux principaux types, c'est-à-dire le bruit thermique (thermal noise) et le bruit en $1/f$ (flicker noise).

2.1.2.1. Bruit thermique

Le bruit thermique est dû au déplacement thermique aléatoire des électrons, c'est pourquoi son expression est proportionnelle à la température absolue. Si celle-ci est proche de zéro, le bruit thermique sera presque nul.

Dans le cas général, équivalent à celui d'une simple résistance, le bruit en courant (densité spectrale de bruit) s'exprime ainsi:

$$d\bar{I}_n^2 = \frac{4kT}{R} df \quad (\text{A}^2/\text{Hz}).$$

k: constante de Boltzmann = $1,38 \cdot 10^{-23} \text{ J.K}^{-1}$.

T: température en Kelvin, habituellement considérée à température ambiante, soit 300K.

Le bruit en tension correspondant est simplement le produit du gain en courant par le carré de la résistance équivalente du composant:

$$d\bar{V}_n^2 = \frac{4kT}{R} \cdot R^2 = 4kTRdf \quad (\text{V}^2/\text{Hz}).$$

Ici, le bruit est exprimé en V^2/Hz . Pour obtenir une expression relative à une tension, il est nécessaire de déterminer ce qu'on appelle le bruit intégré, c'est-à-dire l'intégrale du bruit sur une plage de fréquence, qui peut être, selon la finalité de l'étude, la bande passante du circuit:

$$\bar{V}_n^2 = \int_0^{\Delta f} d\bar{V}_n^2 \quad (\text{V}^2).$$

Ce qui donne une valeur RMS égale à:

$$\bar{V}_n = \sqrt{\bar{V}_n^2} \quad (\text{V}_{\text{RMS}}).$$

2.1.2.2. Bruit en 1/f

Le bruit en 1/f intervient dans tous les composants actifs. Différents phénomènes peuvent être à l'origine de celui-ci. Cependant, ce bruit est principalement dû aux pièges causés par les impuretés et les défauts du cristal, qui capturent et relâchent les porteurs de charge de manière aléatoire. Les constantes de temps associées à ce phénomène donnent lieu à un signal de bruit, d'autant plus fort que la fréquence est basse.

L'expression en courant du bruit en 1/f est la suivante:

$$\bar{i}^2 = K_1 \frac{I^a}{f^b} \Delta f \quad [4].$$

Δf : bande passante étroite autour de la fréquence f.

I: courant direct.

K_1 : constante propre au composant.

a: constante de l'ordre de 0.5 à 2.

b: constante de l'ordre de 1.

On voit que si b est égale à 1, la densité spectrale de bruit est inversement proportionnel à la fréquence, d'où le nom de bruit en 1/f. Cette expression permet également de constater que ce phénomène est plus important à basse fréquence.

2.1.2.3. Application aux transistors MOS

La principale source de bruit thermique d'un transistor MOS est le bruit généré dans le canal. Ce bruit peut être modélisé, pour un transistor fonctionnant en saturation, par une source de courant connectée entre le drain et la source. La densité spectrale de bruit vaut alors:

$$d\bar{I}_n^2 = 4kT\gamma g_m .$$

On s'aperçoit que pour diminuer ce bruit en courant il est nécessaire de diminuer g_m . Or, on sait que:

$$g_m = \frac{\partial I_d}{\partial V_{gs}} = \sqrt{2K \frac{W}{L} I_d}$$

Il faut donc diminuer le courant I_d ou augmenter la longueur de grille, pour diminuer le bruit en courant en sortie.

La principale incertitude de cette expression vient du coefficient γ , qui est classiquement défini comme étant égal à $2/3$. Cependant, cette valeur est valable pour les transistors possédant un long canal, mais est supérieure pour les technologies submicroniques. Il a en effet été démontré que pour une longueur de canal de $0.18 \mu\text{m}$, ce coefficient est environ supérieure de 50%, et qu'il est doublé pour une longueur de grille de $0.13 \mu\text{m}$ [5]. Il a en effet été montré que le coefficient γ variait en fonction de la longueur du canal mais également qu'il augmentait avec la tension de drain-source, en raison de la modulation de la longueur du canal. Cet effet étant d'autant plus important que les longueurs de grille sont faibles, l'augmentation de γ est plus forte pour les technologies les plus petites [6].

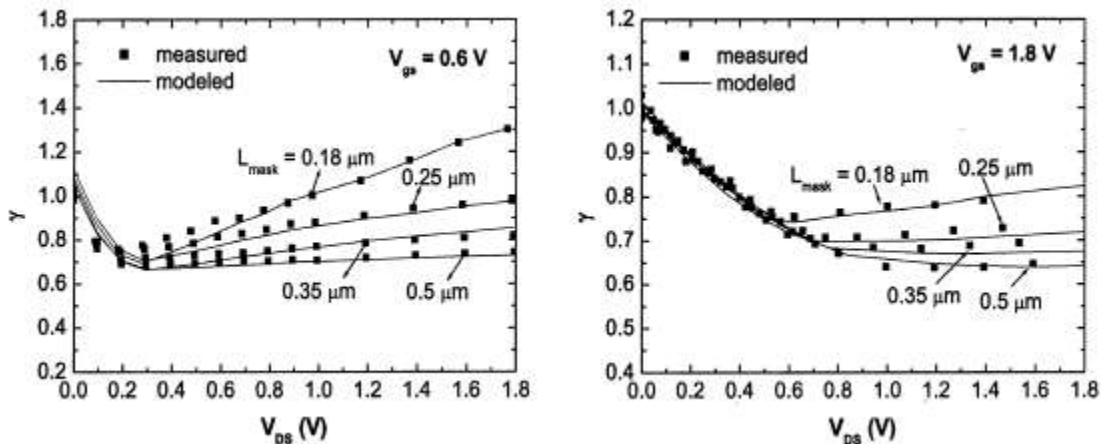


Fig. 2.6: Evolution de γ en fonction de V_{ds} pour une tension de grille constante de $0,6\text{V}$, et pour différentes valeurs de longueur de grille [6].

Contrairement au bruit thermique, le bruit en $1/f$ est difficile à estimer avec précision, car comme on l'a vu précédemment, celui-ci dépend de la qualité de l'interface oxyde-silicium, et peut donc varier

considérablement d'un process à l'autre. Pour cette raison, et bien que son équation soit en réalité plus complexe, le bruit en 1/f est exprimé selon l'approximation suivante:

$$\bar{V}_n^2 = \frac{K}{C_{ox}} \frac{1}{WL f} \quad (\text{V}^2/\text{Hz}), \text{ ou } \bar{I}_n^2 = \frac{K}{C_{ox}} \frac{1}{WL f} g_m^2 \quad (\text{A}^2/\text{Hz}) [7].$$

C_{ox} : capacité d'oxyde = ϵ_{ox}/t_{ox} , où t_{ox} est l'épaisseur d'oxyde et ϵ_{ox} la constante diélectrique de l'oxyde.

W: largeur de grille.

L: longueur de grille.

K: coefficient de flicker noise dépendant du process.

Malgré tout, l'expression du bruit en 1/f reste imprécise, principalement en raison de l'incertitude sur la constante K. En effet, celle-ci est dépendante du process, et peut à priori varier entre 10^{-19} et 10^{-25} V²F. Cependant, différentes expressions sont énoncées dans la littérature, et notamment la suivante:

$$\bar{V}_n^2 = \frac{K_F}{C_{ox}^2 WL f} \quad [5].$$

Celle-ci offre l'avantage d'avoir un coefficient de flicker noise K_F presque indépendant de la technologie, dont tous les effets sont en réalité représentés par le terme C_{ox}^2 , ce qui n'est pas le cas si on utilise K et C_{ox} . On voit par ailleurs que, en raison du produit WL présent au dénominateur, plus le transistor est petit plus le bruit en 1/f est important.

2.1.2.4. Notions de bruit en sortie et bruit ramené à l'entrée

Le bruit en sortie (en tension) d'un transistor s'exprime ainsi:

$$V_{n,out}^2 = I_n^2 \cdot r_o^2 = 4kTYg_m \cdot r_o^2 \quad (\text{V}^2/\text{Hz}),$$

où r_o est la résistance de sortie du transistor.

Cependant, celui-ci n'est pas réellement significatif des performances du circuit, car il dépend du gain. Pour remédier à cela, on définit le bruit ramené à l'entrée. L'idée est de représenter l'ensemble des sources de bruit du circuit par une unique source $V_{n,i}^2$ en entrée. Si on note A_v le gain du circuit, on a:

$$V_{n,i}^2 = \frac{V_{n,out}^2}{A_v^2} = \frac{4kTYg_m \cdot r_o^2}{g_m^2 r_o^2} = \frac{4kTY}{g_m} \quad (\text{V}^2/\text{Hz}).$$

On remarque donc que, pour un simple transistor, contrairement à ce qu'on a vu pour le bruit en courant, il ne faut pas diminuer mais augmenter la transconductance pour réduire le bruit ramené à l'entrée.

2.2. Conception des pixels

L'objectif de cette partie du projet est de concevoir un détecteur de particules tolérant aux radiations, conçu à base de pixels à trois transistors. Le travail consiste ici principalement à réaliser un pixel répondant au cahier des charges souhaité. Il sera alors nécessaire d'étudier l'ensemble des performances du pixel, qu'elles soient continues, temporelles, fréquentielles ou en bruit.

2.2.1. Cahier des charges et définitions

Le but est de concevoir un pixel et de l'optimiser de façon à ce qu'il réponde aux exigences du cahier des charges. Les performances initialement souhaitées sont:

- pixel fonctionnant pour un courant de polarisation inférieur à 10 μ A.
- bande passante de 0 à 100MHz.
- rapport signal à bruit supérieur à 10:

Le rapport signal à bruit s'exprime ainsi: $SNR = \frac{\Delta V_{out}}{N}$.

ΔV_{out} : variation de la tension de sortie du pixel durant l'exposition de la photodiode à une particule chargée.

N: bruit en sortie.

- facteur de conversion de l'ordre de 60 μ V/e-.

Le facteur de conversion s'exprime ainsi: $CVF = \frac{\Delta V_{out}}{Q}$.

Q: charge appliquée en entrée du pixel (collectée par la photodiode), en C ou e-.

Ce facteur de conversion permet également d'exprimer le bruit en électrons. En effet, on peut écrire:

$$N(e) = \frac{N(V)}{CVF} .$$

Bien entendu, si possible, on ne se contentera pas de respecter ces indications, mais on cherchera au contraire à optimiser le pixel au maximum.

2.2.2. Conception schématique d'un pixel

2.2.2.1. Conception du pixel

Le pixel qui a été réalisé schématiquement est un pixel 3T, tel qu'il a été présenté précédemment, avec

le transistor de reset, le suiveur et le switch de sélection de ligne. Le générateur de courant utilisé pour la sélection de la colonne, est un miroir de courant classique.

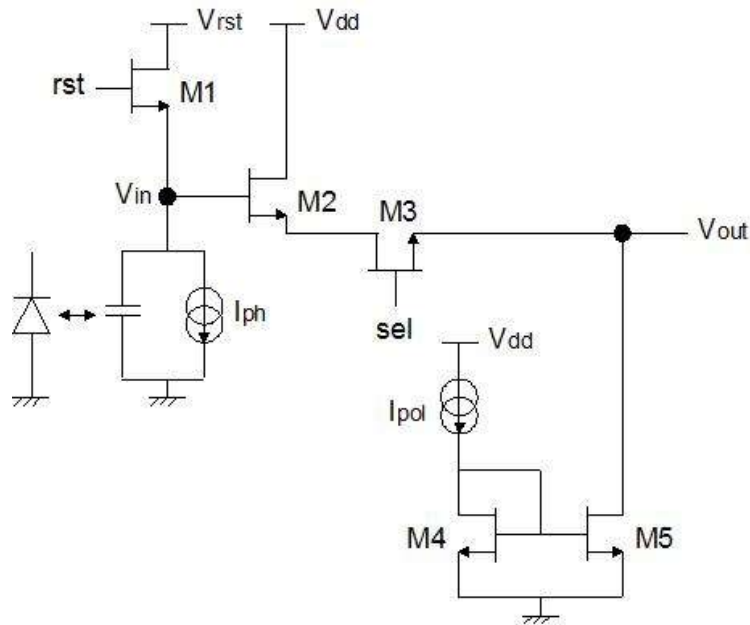


Fig. 2.7. Architecture du pixel 3T réalisé.

M1 est le transistor de reset.

M2 est le transistor monté en suiveur.

M3 est le transistor de sélection du pixel.

M4 et M5 constituent le générateur de courant.

La détection d'une particule, réalisée par une photodiode, est ici modélisée par une capacité en parallèle avec un générateur de courant. Le but est de simuler la présence en entrée d'un charge équivalente à

500e⁻. Il faut donc générer une impulsion de courant I_{ph} durant une durée Δt , tel que $I_{ph} = \frac{Q \cdot q}{\Delta t}$.

Q: charge en entrée du pixel (500e⁻).

q: charge d'un électron ($1,6 \cdot 10^{-19}$ C).

Le circuit doit pouvoir fonctionner avec un très faible courant, mais celui-ci doit être suffisant pour permettre au transistor de reset de quitter son état bloqué. Ce transistor M1 ne fonctionne cependant pas comme un switch classique. En effet, lorsqu'il sort de l'état bloqué, celui-ci passe en régime de faible inversion. C'est ce qu'on appelle un « soft reset ». On choisit finalement une impulsion de courant de 8nA sur une durée de 10ns.

2.2.2.2. Dimensionnement des transistors

Afin que le pixel soit tolérant aux radiations, l'idée est d'utiliser des transistors fermés tels qu'ils ont été créés précédemment. Or, le modèle de transistor *nfet* utilisé dans le schematic est un transistor linéaire. Les longueurs et largeurs de grille ne sont donc pas modélisées telles qu'elles le sont en réalité. En effet, en raison de la géométrie des transistors fermés, la largeur de grille augmente automatiquement lorsqu'on augmente la longueur de celle-ci. Il a donc fallu chercher l'expression de l'évolution de la largeur de grille en fonction de la longueur de grille. Finalement, on trouve:

$$W = \frac{4 W' + 8 L + 1.959 \cdot 10^{-6}}{2}$$

W' est la variable utilisée pour faire varier la largeur de grille lors de la création de la cellule paramétré du transistor fermée. (Fig. 1.6).

Cette équation permet d'observer l'évolution de la largeur de grille en fonction de la longueur de grille (Fig. 2.8).

Pour pouvoir retranscrire cette caractéristique au niveau des transistors de notre schematic, nous remplaçons simplement la largeur de grille de ceux-ci par cette équation, et la longueur par L . Les valeurs de L et W' des transistors sont ensuite simplement spécifiés au moment de la simulation.

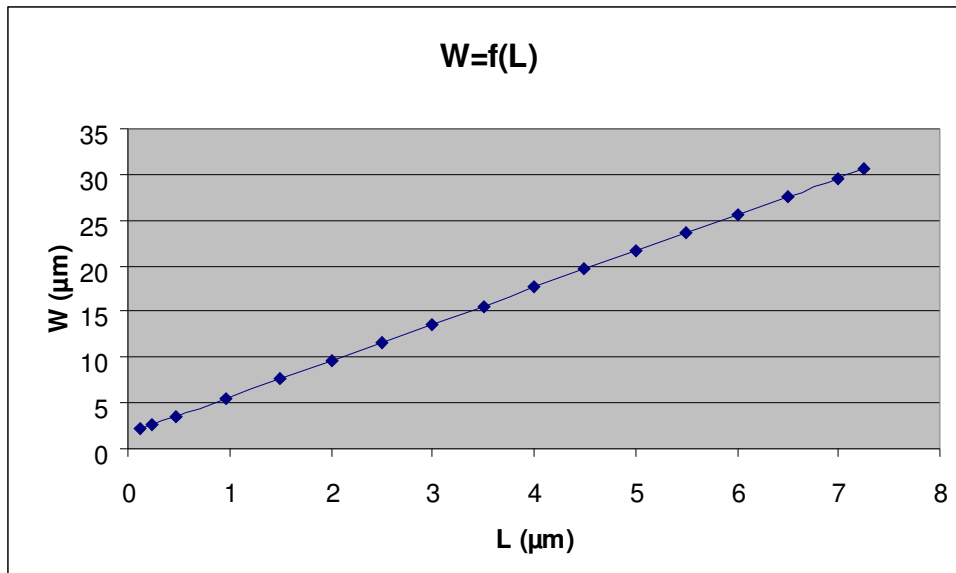


Fig. 2.8: Evolution de la largeur de grille W en fonction de la longueur de grille L (pour un W' fixé au minimum, soit $0,32\mu\text{m}$).

2.2.3. Simulations et résultats

2.2.3.1. Analyses temporelle et dc

Pour étudier le comportement du pixel, il est nécessaire d'effectuer les analyses temporelle et dc en parallèle. En effet, pour pouvoir vérifier le régime de fonctionnement des transistors, il faut connaître la polarisation du circuit aux différentes étapes du cycle de fonctionnement du pixel:

- avant la détection d'une particule (l'impulsion de courant).
- pendant la détection d'une particule.
- après la détection d'une particule.
- pendant le reset.
- après le reset.

On peut alors effectuer les analyses dc en appliquant en entrée du pixel les valeurs de tension relevées aux bornes de la photodiode à ces différents instants.

Une première analyse a été réalisée avec les dimensions minimales des transistors ($W=320\text{nm}$, $L=120\text{nm}$), pour un courant de polarisation de $10\mu\text{A}$. Dans ces conditions, les transistors du miroir de courant et du suiveur ne fonctionnent pas correctement. En effet, après le reset, ceux-ci ne sont pas saturés mais en régime linéaire, car V_{gs} est inférieure à V_t . Sachant que l'expression du courant d'un

transistor saturé en régime de forte inversion est $I_d = \frac{KW}{2L}(V_{gs} - V_t)^2$, et donc que:

$V_{gs} = \sqrt{\frac{2LId}{KW}} + V_t$, on voit que pour augmenter V_{gs} il est nécessaire d'augmenter I_d ou L . Souhaitant

réaliser un pixel qui puisse fonctionner avec un courant le plus faible possible, la solution est de jouer sur la longueur de grille plutôt que sur le courant de polarisation.

Le circuit a alors été modifié en augmentant les longueurs de grille des transistors concernés de façon à ce que ceux-ci fonctionnent bien dans le régime souhaité. Par la même occasion, nous avons cherché à diminuer le courant de polarisation. Les différents paramètres sont maintenant les suivants:

- $W_1'=W_2'=W_3'=W_4'=W_5'=0,32\mu\text{m}$.
- $L_1=L_3=120\text{nm}$, soit $W_1=W_3=2,10\mu\text{m}$.
- $L_2=600\text{nm}$, soit $W_2=4,02\mu\text{m}$.
- $L_4=L_5=500\text{nm}$, soit $W_4=W_5=3,62\mu\text{m}$.
- $I_{pol}=2\mu\text{A}$.

Dans ces conditions, l'analyse dc permet d'extraire les paramètres suivants (l'étude a lieu après la phase de reset):

Transistor	V_{gs}	V_{ds}	V_t	I_d	g_m	g_{ds}
M1	-810mV	390mV	587mV	106fA	≈ 0	≈ 0
M2	291mV	681mV	281mV	2,46 μ A	65,7 $\mu\Omega^{-1}$	1,78 $\mu\Omega^{-1}$
M3	684mV	2,65mV	546mV	2,46 μ A	17,5 $\mu\Omega^{-1}$	965 $\mu\Omega^{-1}$
M4	225mV	225mV	213mV	2 μ A	55,0 $\mu\Omega^{-1}$	1,64 $\mu\Omega^{-1}$
M5	225mV	516mV	213mV	2,45 μ A	65,9 $\mu\Omega^{-1}$	1,56 $\mu\Omega^{-1}$

On s'aperçoit que, en effet, tous les transistors sont correctement polarisés: M1 est bloqué, M2, M4 et M5 sont en saturation, et M3 est en régime linéaire. On constate également que le miroir de courant utilisé n'est pas très performant, puisqu'il fournit au pixel un courant de 2,45 μ A au lieu des 2 μ A attendus.

Il peut être intéressant de comparer ces résultats à leurs valeurs théoriques. Sachant que la transconductance g_m est un paramètre primordial dans la détermination du bruit des transistors en saturation que nous allons étudier par la suite, nous allons la calculer pour chacun des transistors saturés. On sait que:

$$g_m = \sqrt{2K \frac{W}{L} I_d} .$$

Pour les calculs, on considère que le générateur de courant est idéal et donc que le courant circulant dans le pixel est de 2 μ A. On admet également que pour un NMOS la constante K vaut 170. On trouve les résultats suivants:

$$g_{m4}=g_{m5}=70,2\mu\Omega^{-1} .$$

$$g_{m2}=67,5\mu\Omega^{-1} .$$

Les erreurs peuvent venir principalement de la valeur de K et de I_d , dont on voit bien que celui-ci est en pratique supérieur à 2 μ A.

En ce qui concerne l'analyse temporelle, on voit d'après les chronogrammes visibles sur la figure 2.9, que le fonctionnement du pixel est correct. Un reset permet bien d'initialiser la diode à une tension de référence, et une impulsion de courant (caractérisant la détection d'une particule chargée) provoque bien une chute de tension qui se répercute sur la sortie du pixel. Les résultats sont les suivants:

- Variation de tension en entrée du pixel: $\Delta V_{in}=11,3\text{mV}$.
- Variation de tension en sortie du pixel: $\Delta V_{out}=9,3\text{mV}$.
- Facteur de conversion: $CVF = \frac{\Delta V_{out}}{Q} = \frac{9,3 \cdot 10^{-3}}{500} = 18,6 \mu\text{V}/e$.

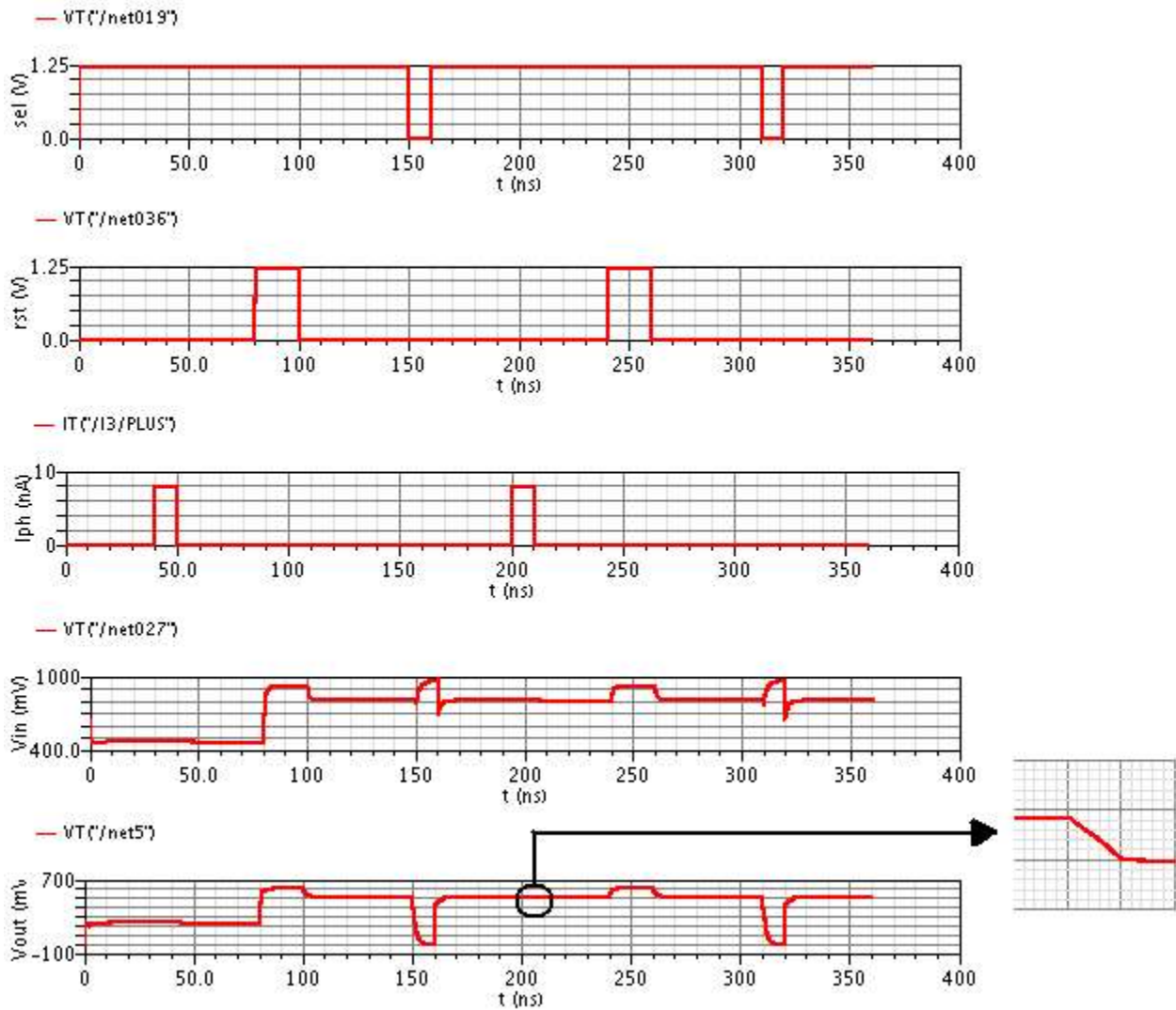


Fig. 2.9: Chronogramme du fonctionnement du pixel.

2.2.3.2. Analyse ac et de bruit

Pour réaliser les analyses ac et noise, on applique en entrée du pixel la tension mesurée précédemment aux bornes de la diode après l'étape de reset. Celle-ci était de 810mV. L'analyse fréquentielle est réalisée dans le but de mesurer la bande passante, et également le gain du circuit. L'analyse de bruit a pour objectif d'observer le bruit en sortie du pixel, et de comparer l'influence de chacun des composants sur celui-ci.

L'analyse fréquentielle, pour une composante ac de 1V en entrée, donne les résultats suivants:

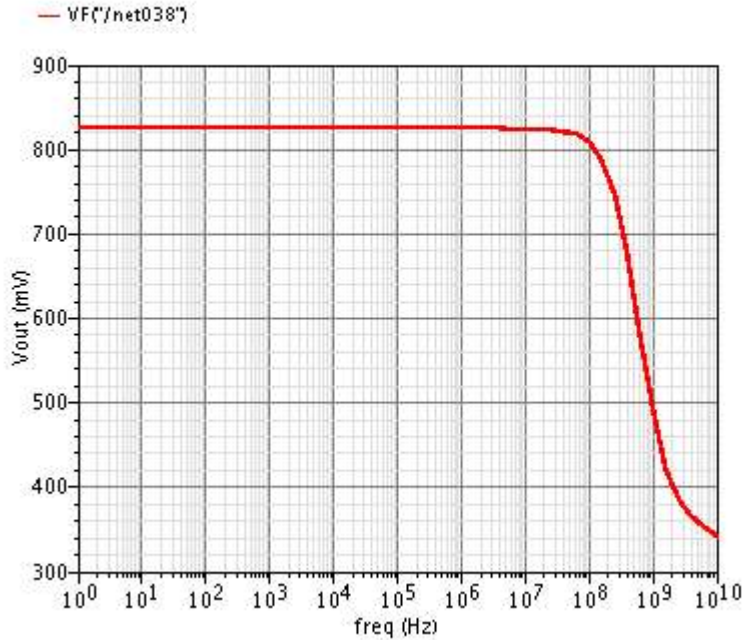


Fig. 2.10: Réponse fréquentielle du pixel ($V_{out}=f(f)$).

On mesure un gain en tension $A_V = \frac{V_o}{V_i} = 0,82$, et une fréquence de coupure à -3dB de 628MHz.

Cela est tout à fait conforme à la bande passante minimale souhaitée de 100MHz.

En ce qui concerne l'analyse de bruit, on s'intéresse au bruit intégré sur l'ensemble de la bande passante du circuit. On obtient les résultats suivants:

Transistor	Bruit thermique	% du bruit total	Bruit en 1/f	% du bruit total
M5	0,27mV	36,22%	32,5µV	0,51%
M4	0,26mV	34,07%	30,8µV	0,46%
M2	0,22mV	24,20%	24,6µV	0,29%
M3	0,09mV	3,89%	2,59µV	0,00%

Bruit total en sortie du pixel: 0,45mV.

Bruit total ramené en entrée: 0,62mV=24e-.

On s'aperçoit que, pour chaque transistor, le bruit thermique est beaucoup plus important que le bruit en 1/f. On constate également que le bruit du transistor de sélection et de ceux du miroir de courant est

supérieur à celui du suiveur. Un effort particulier sera fait sur ce point lors de l'optimisation du pixel, afin de réduire le bruit total du circuit, en cherchant plus particulièrement à faire en sorte que les bruits des transistors de sélection et du miroir soient inférieurs à celui du suiveur. Le transistor T1 étant bloqué, son bruit est tout à fait négligeable.

Il peut être intéressant de comparer ces valeurs aux valeurs théoriques. Nous allons donc essayer de calculer le bruit intégré total en sortie du pixel. Pour cela, on rappelle que l'expression du bruit intégré, en courant, est la suivante: $\bar{dI}_n^2 = 4kTYg_{mm}$. Pour ces calculs, on choisit la valeur classique $\gamma=2/3$.

Le bruit intégré en tension en sortie du pixel est: $d\bar{V}_n^2 = \bar{dI}_n^2 \cdot r_o^2$, où r_o est la résistance de sortie du circuit.

On peut écrire:

$$\begin{aligned} r_{o2} &\simeq (1/g_{m2}) = 15,2 \text{ k}\Omega, \\ r_{o3} &= 1/g_{ds3} = 1,04 \text{ k}\Omega, \\ r_{o5} &= 1/g_{ds5} = 641 \text{ k}\Omega. \end{aligned}$$

On trouve alors:

$$\begin{aligned} \bar{dI}_2^2 &= 7,25 \cdot 10^{-25} \text{ A}^2/\text{Hz}, \\ \bar{dI}_5^2 &= 7,27 \cdot 10^{-25} \text{ A}^2/\text{Hz}. \end{aligned}$$

Le transistor M3 fonctionnant en régime linéaire, son bruit est ici négligé.

Sachant que $r_o = r_{o5} \parallel (r_{o2} + r_{o3}) = 15,8 \text{ k}\Omega$, on obtient:

$$d\bar{V}_n^2 = \bar{dI}_n^2 \cdot r_o^2 = (\bar{dI}_2^2 + \bar{dI}_5^2) \cdot r_o^2 = 3,62 \cdot 10^{-16} \text{ V}^2/\text{Hz}.$$

On trouve finalement un bruit en tension intégré de:

$$\bar{V}_n^2 = d\bar{V}_n^2 \Delta f = 3,62 \cdot 10^{-16} \times 628 \cdot 10^6 = 2,27 \cdot 10^{-7} \text{ V}^2,$$

soit

$$\bar{V}_n = 0,48 \text{ mV}.$$

Cette valeur théorique est relativement conforme à la valeur de simulation de 0,45mV obtenue par simulation, sachant que les erreurs viennent principalement des incertitudes sur les valeurs réelles de γ .

Le rapport signal à bruit du circuit, avec les valeurs de simulation, est:

$$SNR = \frac{\Delta V_{out}}{N} = \frac{9,3 \cdot 10^{-3}}{0,45 \cdot 10^{-3}} = 20,7.$$

2.2.4. Optimisation du pixel

Dans l'étude précédente, nous avons simplement dimensionné les transistors de façon à ce qu'ils soient correctement polarisés, et que le pixel fonctionne correctement. L'objectif est maintenant d'améliorer les performances du pixel, principalement en ce qui concerne le bruit, et la précision du miroir de courant. Ces deux études seront en quelque sorte complémentaires puisque l'analyse de bruit sera également effectuée sur les nouvelles structures de miroir de courant réalisées.

2.2.4.1. Amélioration du bruit

Même si nous avons pu constater que le rapport signal à bruit du circuit était supérieur à la limite fixée, il peut être intéressant de réduire d'avantage le bruit, et notamment de diminuer l'influence des transistors du miroir de courant et de sélection par rapport au transistor du suiveur.

Initialement, l'objectif était de faire en sorte que le bruit du miroir soit plus faible que celui du suiveur d'un facteur proche de 10. Une recherche théorique a donc été réalisée afin de déterminer les dimensions à donner aux transistors pour respecter ce critère. Pour cela, on peut écrire:

$$dI_2^2 = 10 \cdot dI_5^2 .$$

On rappelle que M2 est le transistor du suiveur et M5 l'esclave du miroir de courant.

On a donc:

$$4kT\gamma g_{m2} = 10 \cdot 4kT\gamma g_{m5} ,$$

$$g_{m2} = 10 g_{m5} .$$

Sachant que $g_m = \sqrt{2K \frac{W}{L} I_d}$, on peut écrire:

$$\sqrt{2K_2 \left(\frac{W_2}{L_2}\right) I_{d2}} = 10 \sqrt{2K_5 \left(\frac{W_5}{L_5}\right) I_{d5}}$$

En faisant l'approximation que $K_2=K_5$, et sachant que le courant circulant dans M2 et M5 est le même, on peut écrire:

$$\frac{W_2}{L_2} = 100 \frac{W_5}{L_5} .$$

On a tout d'abord choisi de réaliser nos transistors selon les rapports suivants:

$$\frac{W_2}{L_2} \approx 10 , \quad \frac{W_5}{L_5} \approx 0,1 .$$

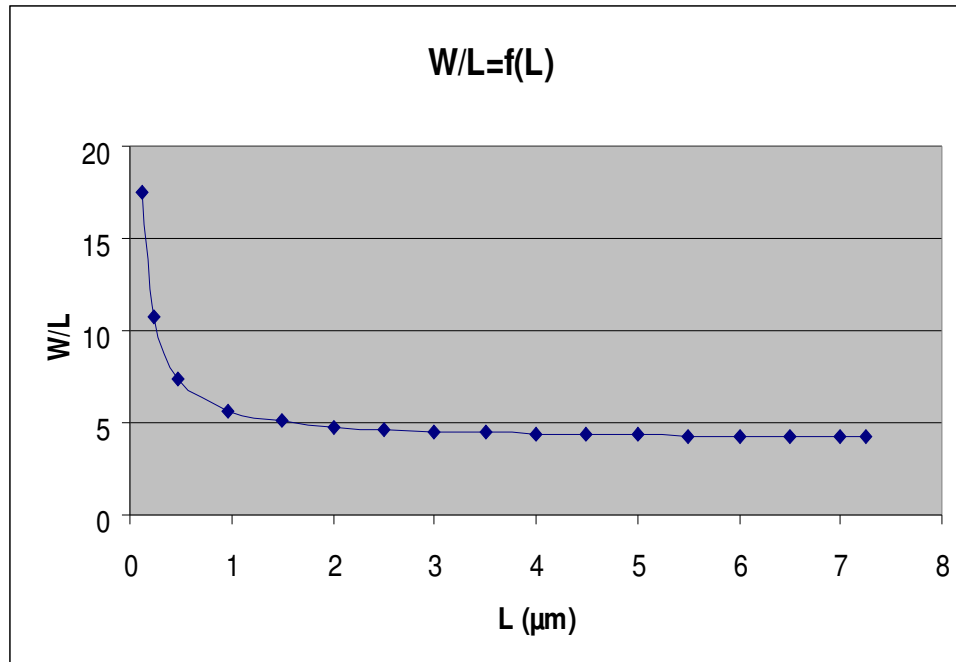


Fig. 2.11: Evolution du rapport W/L en fonction de la longueur de grille L (pour un W' fixé au minimum, soit $0,32\mu\text{m}$).

En cherchant à réaliser ce rapport de dimensionnement, on a pu rapidement constater que la géométrie des transistors allait être un obstacle. En effet, la largeur de grille croît lorsqu'on augmente sa longueur. Le rapport W/L ne peut donc pas diminuer indéfiniment. On a au contraire pu remarquer que celui-ci tendait vers 4 lorsque L tend vers l'infini. Cependant, ici, nos considérations ne sont que mathématiques, mais il convient également de tenir compte des règles de dessin. En effet, la surface maximale de polysilicium à respecter ($230\mu\text{m}^2$) limite aussi le dimensionnement des transistors. Ainsi, à largeur de grille minimale, la plus grande longueur autorisée est $7,25\mu\text{m}$, pour laquelle on obtient un W de $30,62\mu\text{m}$. Ainsi, le rapport W/L minimal que l'on puisse obtenir n'est plus de 4 mais de 4,22 (Fig. 2.11). On constate que celui-ci est très loin du rapport de 0,1 initialement recherché. De la même manière, des limitations existent lorsqu'on cherche à augmenter ce rapport. Bien sûr d'un point de vue strictement géométrique, on peut considérer qu'il n'y a pas de limitation. En effet, pour une longueur de grille minimale, la largeur maximale autorisée est de $1915\mu\text{m}$. Par contre, en ce qui concerne le fonctionnement du circuit, l'augmentation de la largeur de grille du transistor M2 conduit à sa mise en régime de faible inversion. Il est alors nécessaire d'augmenter sa longueur de grille pour compenser ce phénomène. Cependant, ce rapport W/L minimal nécessaire à la saturation du transistor n'est pas constant. Celui-ci est en effet d'autant plus important que les dimensions du transistor sont grandes. Sachant que la surface de la connexion de polysilicium peut s'exprimer de la façon suivante:

$$S_{con} = 0,55 L + 0,0036 \quad ,$$

et que la surface de poly du transistor (sans la connexion) est:

$$S = 4 L^2 + (2 W' + 1,12) L \quad ,$$

on peut écrire la relation suivante:

$$4L^2 + (2W' + 1,12)L \leq 230 - (0,55L + 0,0036) \quad ,$$

soit

$$4L^2 + (2W' + 1,83)L \leq 230 \quad .$$

On trouve finalement que le plus grand rapport que l'on peut obtenir en conservant M2 en saturation (avec $L4=L5=L_{\max}=7,25\mu\text{m}$ et $I_{\text{pol}}=2\mu\text{A}$), est pour $W'=23\mu\text{m}$ et $L=3,6\mu\text{m}$, soit $W=61,38\mu\text{m}$. Le rapport W/L vaut alors:

$$(W/L)_{\max} = 17,05 \quad .$$

On constate donc que le plus grand rapport de dimensionnement qu'il soit possible de réaliser entre les transistors du miroir de courant et celui du suiveur est de:

$$\frac{(W/L)_{\max}}{(W/L)_{\min}} = 4,04 \quad .$$

Le plus grand rapport de transconductance que l'on peut obtenir est donc:

$$\frac{g_{m\max}}{g_{m\min}} = \sqrt{4,04} = 2 \quad .$$

Ce qui implique, en considérant que le coefficient Υ est constant quelle que soit la longueur de grille, que le rapport maximal de bruit en courant que l'on peut avoir est 2.

En raison des dimensions importantes d'un transistor fermé de rapport W/L minimal ($L=7.25\mu\text{m}$, $W=30,62\mu\text{m}$), nous avons cherché à savoir s'il était réellement intéressant d'augmenter la longueur de grille de manière si conséquente. Pour cela, nous avons tracé l'évolution du bruit en courant en fonction de la longueur (Fig. 2.12). Ceci a été réalisé simplement en associant la caractéristique $W/L=f(L)$

obtenue précédemment à l'équation de la transconductance $g_m = \sqrt{2K \frac{W}{L} I_d}$, dont les valeurs sont affectée à l'équation du bruit en courant $d\bar{I}_n^2 = 4kT\Upsilon g_m$.

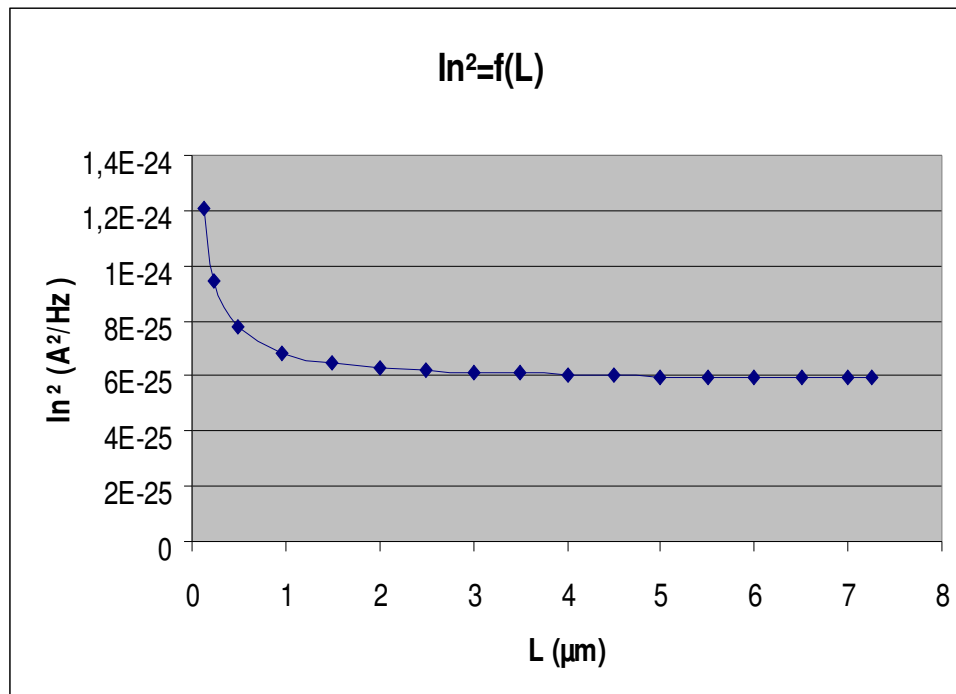


Fig. 2.12: Evolution du bruit en courant I_n^2 en fonction de la longueur de grille L (pour un W' fixé au minimum, soit $0,32\mu\text{m}$).

On constate donc qu'il ne serait pas intéressant d'augmenter considérablement la longueur de grille. En effet, à partir de $2\mu\text{m}$, le bruit reste relativement constant, et en augmentant d'avantage cette longueur de grille, on ne ferait que décupler la taille du transistor sans diminuer le bruit de manière significative.

Il a alors été décidé d'effectuer une nouvelle étude pour une valeur de longueur de grille raisonnable de $1,5\mu\text{m}$ pour les transistors du miroir de courant. On pourrait être tenté d'agir de la même façon pour le transistor du suiveur, dans le but de réduire d'avantage le bruit total en sortie, mais il faut tenir compte des dimensions générales du pixel. En effet, en raison de leur géométrie, les transistors fermés sont plus volumineux que les transistors linéaires, et remplissent donc rapidement une surface importante du pixel. De plus, accroître la largeur de grille de M2 augmenterait certes le rapport de bruit entre le miroir de courant et le suiveur, mais cela serait réalisé en amplifiant le bruit du suiveur, et de l'ensemble du circuit par la même occasion, ce qui serait sans intérêt. On choisit donc de conserver les dimensions actuelles de M2. En revanche, les problèmes de dimensions ne se posent pas pour le générateur de courant car celui-ci est placé en dehors du pixel.

Les paramètres des transistors pour cette nouvelle analyse sont les suivants:

- $W_1'=W_2'=W_3'=W_4'=W_5'=0,32\mu\text{m}$.
- $L_1=L_3=120\text{nm}$, soit $W_1=W_3=2,10\mu\text{m}$.
- $L_2=600\text{nm}$, soit $W_2=4,02\mu\text{m}$.

- $L_4=L_5=1,5\mu\text{m}$, soit $W_4=W_5=7,62\mu\text{m}$.
- $I_{\text{pol}}=2\mu\text{A}$.

Théoriquement, le rapport de bruit en courant entre les transistors du miroir de courant et celui du suiveur devrait être:

$$\frac{N_2}{N_4} = \sqrt{\frac{W_2 L_4}{L_2 W_4}} = 1,32$$

Les résultats de simulations sont les suivants:

- Bande passante: $\text{BP}=[0;521\text{MHz}]$.
- Gain en tension: $A_v=0,83$.
- Bruit thermique intégré de M2: $N_2=0,20\text{mV}$, soit 30,60%.
- Bruit thermique intégré de M3: $N_3=0,08\text{mV}$, soit 4,69%.
- Bruit thermique intégré de M4: $N_4=0,15\text{mV}$, soit 15,81%.
- Bruit thermique intégré de M5: $N_5=0,26\text{mV}$, soit 47,95%.
- Bruit intégré total en sortie: 0,37mV.
- Bruit total ramené à l'entrée: 0,50mV=20e-.

Le rapport de bruit réel entre M2 et M4 vaut donc:

$$\frac{N_2}{N_4} = 1,33$$

Nous nous sommes également intéressé à l'évolution de la bande passante en fonction de la capacité de sortie du pixel. En effet, nous avons vu que le bus de colonnes en sortie des pixels pouvait induire une importante capacité de sortie, ce qui est susceptible de ralentir le système.

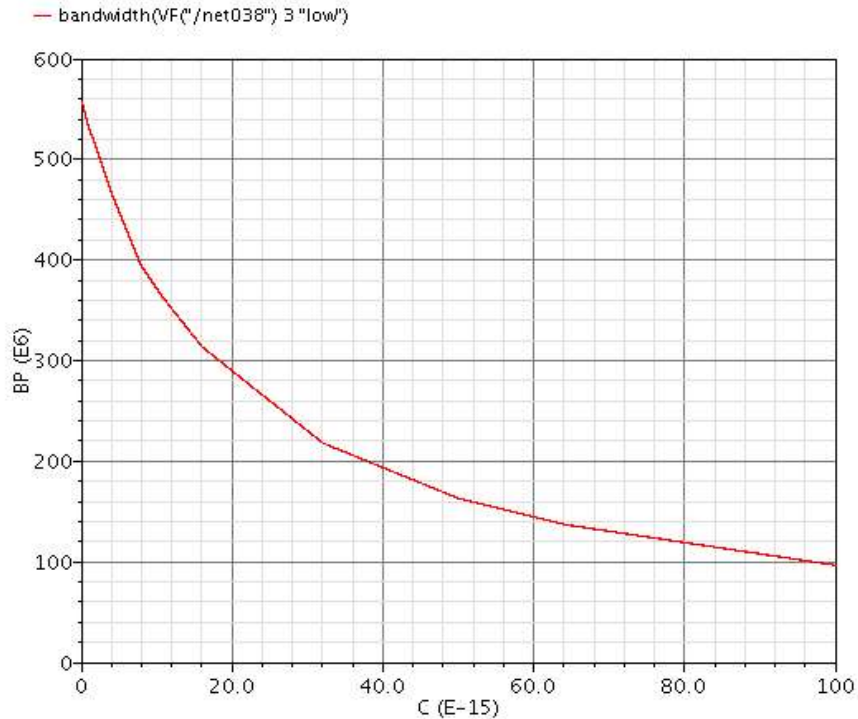


Fig. 2.14: Evolution de la bande passante en fonction de la capacité de sortie.

On s'aperçoit qu'il faudrait une capacité relativement importante (96,5fF) pour passer sous la limite de bande passante de 100MHz imposée par le cahier des charges.

A partir de là, une analyse du temps d'établissement en fonction de la capacité de sortie a été réalisé. Nous avons pour cela observé la réponse temporelle de la sortie du pixel, au moment de la sélection de la ligne (Fig. 2.15). Sur MIMOSA8, qui fonctionnait à 100MHz, la lecture s'effectuait deux périodes d'horloge plus tard que la sélection, soit après 20ns. On voit qu'ici le temps d'établissement dépasse légèrement cette valeur pour des capacité de sortie de l'ordre de 40fF ou plus.

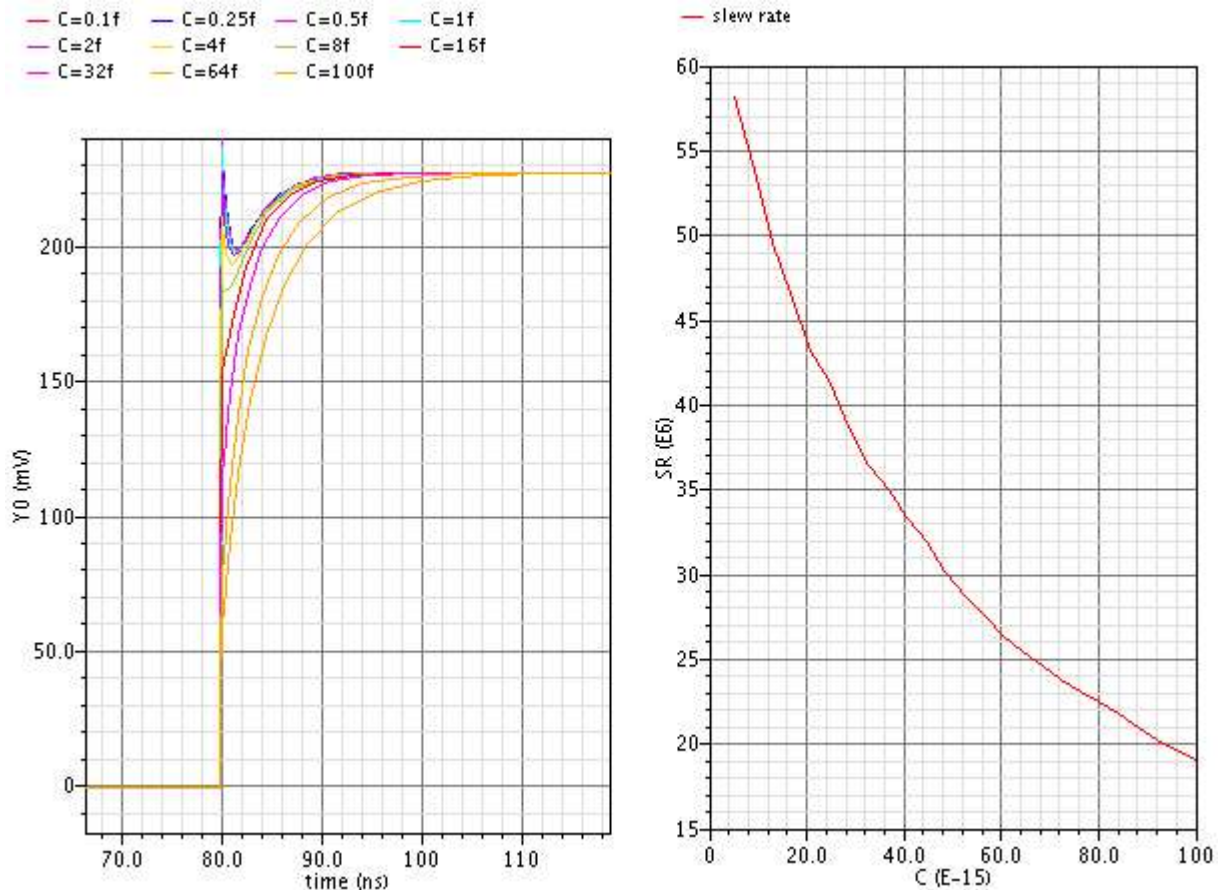


Fig. 2.15: (a) Réponse temporelle de la sortie du pixel au moment de la sélection de ligne pour différentes valeurs de capacité de sortie (de 0,1fF à 100fF), (b) Slew-rate du pixel en fonction de la capacité de sortie.

2.2.4.2. Amélioration du facteur de conversion

Comme on l'a vu précédemment, le facteur de conversion obtenu avec ce modèle de pixel est trop faible d'un facteur de l'ordre de 4. Pour résoudre ce problème, la solution est d'utiliser un amplificateur au sein de notre pixel. Cette amplification est réalisée par une source commune (M6) dont la charge est un transistor NMOS monté en diode (M7) (Fig. 2.16) [8-9]. En effet, on a vu qu'il était déconseillé d'utiliser des transistors PMOS dans la conception du pixel, en raison des diodes parasites qu'ils créeraient entre le N-well et le substrat P, ce qui serait susceptible de perturber le fonctionnement de la photodiode N-well/P-substrate.

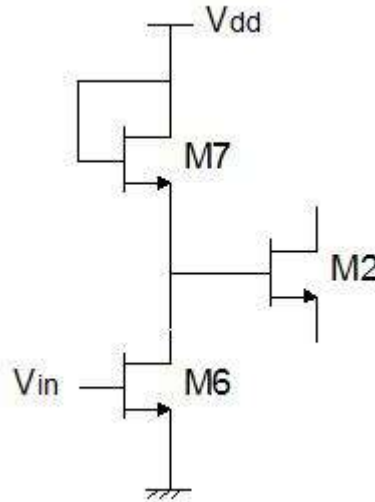


Fig. 2.16: Amplificateur interne au pixel.

Le gain de ce montage vaut: $A_V = -g_{m6} R_O$,

où R_O est l'impédance de sortie du circuit, et a pour expression:

$$R_O = r_{ds6} \parallel \left(\frac{1}{g_{m7}} \parallel r_{ds7} \right) = \frac{r_{ds6} r_{ds7}}{r_{ds6} (1 + g_{m7} r_{ds7}) + r_{ds7}} .$$

Cependant, pour un transistor monté en diode, la valeur de $1/g_m$ est bien inférieure à celle de r_{ds} , et sa résistance de sortie peut alors être approximée à $1/g_m$, qui est elle-même généralement beaucoup plus faible que la résistance de sortie de la source commune. On peut donc écrire:

$$R_O \simeq \frac{1}{g_{m7}} , \text{ et donc } A_V \simeq -\frac{g_{m6}}{g_{m7}} .$$

Sachant que $g_m = \sqrt{2K \frac{W}{L} I_d}$, le gain d'un tel étage peut facilement s'exprimer uniquement en

fonction des dimensions des transistors: $A_V \simeq -\sqrt{\frac{W_6/L_6}{W_7/L_7}} .$

Dans notre cas, puisqu'on cherche à avoir un gain de 4, on peut écrire $\frac{W_6}{L_6} = 16 \cdot \frac{W_7}{L_7} .$

Pour accroître notre gain, il faudrait donc augmenter W_6 et L_7 . Cependant, une trop grande valeur de largeur de grille de M_6 introduirait une importante capacité parasite sur la photodiode, ce qui aurait pour conséquence de diminuer le facteur de conversion, alors qu'on cherche au contraire à l'augmenter. La principale difficulté consiste donc à trouver le bon compromis sur les dimensions des transistors qui nous permette d'obtenir un gain suffisamment élevé et une capacité parasite raisonnable. Dans ces

conditions, l'idéal serait de conserver le transistor M6 avec ses dimensions minimales et de jouer exclusivement sur celles de M7. Cependant, on a vu que, en raison de la géométrie des transistors utilisés, le rapport W/L ne pouvait pas être indéfiniment diminué et qu'il s'approchait de sa valeur minimale pour une longueur de grille de l'ordre de 1,5 à 2 μm . Si on choisit donc $L_7=2\mu\text{m}$, on obtient $W_7/L_7=4,81$. Sachant qu'aux dimensions minimales, on aura $W_6/L_6=17,49$, le facteur entre ces rapports de dimensionnement serait de 3,64, loin de la valeur de 16 recherchée.

Nous avons de plus constaté qu'un tel amplificateur ne fonctionnerait pas avec les paramètres actuels du pixel. En effet, la tension de reset de la photodiode est de l'ordre de 800mV, et il s'avère que cette tension, placée en entrée de l'amplificateur, est trop importante vis-à-vis de la tension d'alimentation de 1,2V pour obtenir un gain convenable. Nous avons effectivement constaté que pour les dimensions de transistors définis précédemment, la fonction de transfert du circuit (Fig 2.17) montre que cette tension est à la limite du fonctionnement actif des deux transistors (820mV). Dans ces conditions, le gain ne serait que de 0,94. Pour résoudre ce problème, il a été envisagé d'utiliser une tension de reset de la photodiode inférieure à V_{dd} dans le but d'obtenir une tension de l'ordre de 500mV en entrée de l'amplificateur. Par simulation, nous avons constaté que cette tension de reset devait être approximativement de 750mV. Dans ces conditions, on remarque que le gain de l'amplificateur reste beaucoup trop faible ($A_v=1,1$). L'intérêt de l'utilisation d'un tel amplificateur au sein de notre pixel serait donc très limité. En effet, la variation de tension de sortie passerait simplement de 9,3 à 10,2 mV, permettant d'obtenir un facteur de conversion de 20,4 $\mu\text{V}/e^-$ au lieu de 18,6 $\mu\text{V}/e^-$.

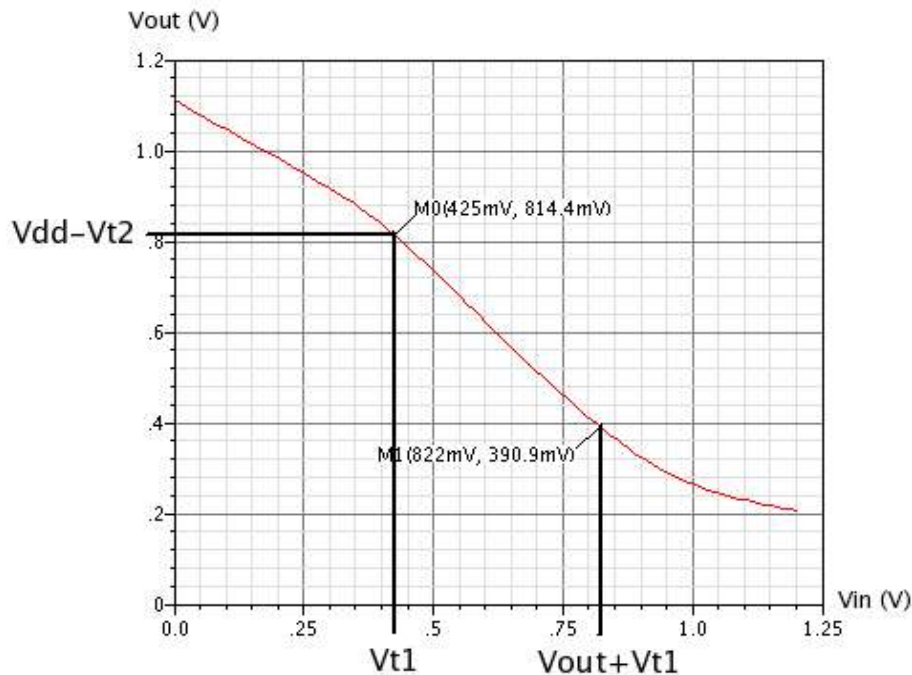


Fig. 2.17: Fonction de transfert d'une source commune aux dimensions minimales avec charge à transistor NMOS monté en diode de longueur de grille de 2 μm .

Une solution en principe envisageable est de mettre plusieurs amplificateurs en série. Cependant, cela impliquerait l'utilisation d'un nombre de transistors trop élevé, autant du point de vue des dimensions du circuit que du bruit généré.

Devant les difficultés rencontrées pour obtenir un gain acceptable, causées par la géométrie particulière des transistors, nous avons décidé d'étudier la faisabilité d'un amplificateur utilisant des transistors linéaires. La conservation des anneaux de garde permettrait toujours de supprimer les courants de fuite inter-transistors. En ce qui concerne, les fuites drain-source, la transconductance pourrait certes être abaissée, mais on peut dans ce cas anticiper et réaliser un gain légèrement supérieur à ce que l'on attend réellement.

Nous avons, comme lors de l'étude précédente, chercher à obtenir une tension en entrée du pixel de l'ordre de 500mV. Pour cela, une tension de reset de 750mV a été utilisée. Les transistors de l'amplificateur ont comme paramètres:

- $W_6=1\mu\text{m}$, $L_6=0,12\mu\text{m}$.
- $W_7=0,4\mu\text{m}$, $L_7=1,5\mu\text{m}$.

L'amplificateur seul donne alors un gain de 3,7.

Pour l'insertion de cet amplificateur dans notre pixel, nous avons augmenté la valeur de la largeur du transistor de reset à $W'_1=0,4\mu\text{M}$, soit $W_1=2,26\mu\text{m}$. Nous avons en effet constaté que si celle-ci était plus petite, augmentant alors la valeur de la tension de reset, la tension en sortie de l'amplificateur (inverseur) était trop proche de 0, ce qui empêchait le suiveur de fonctionner correctement. Dans ce cas, la chute de tension en sortie n'était au final que très peu amplifiée. L'analyse temporelle nous donne les résultats suivants:

- Chute de tension en entrée: V_i de 523,6 à 511,9mV, soit $\Delta V_i=11,7\text{mV}$.
- Chute de tension en sortie de l'amplificateur: V_o' de 298,2 à 341,9mV, soit $\Delta V_o'=43,7\text{mV}$.

Le gain de l'amplificateur est donc: $A_v' = \frac{\Delta V_o'}{\Delta V_i} = 3,73$.

- Chute de tension en sortie: V_o de 82,6 à 118,3mV, soit $\Delta V_o=35,7\text{mV}$.

Le gain total est donc: $A_v = \frac{\Delta V_o}{\Delta V_i} = 3,05$.

La nouvelle valeur du facteur de conversion est: $CVF = \frac{\Delta V}{Q} = 71,4\mu\text{V}/e$.

Cela est tout à fait satisfaisant, dans la mesure où nous cherchions à obtenir une valeur supérieure à $60\mu\text{V}/e$. Cependant, l'objectif sera réellement atteint si le rapport signal à bruit n'est pas diminué. En effet, l'insertion de l'amplificateur dans le pixel, implique l'ajout de deux transistors supplémentaires, et par conséquent des sources de bruit additionnelles. La bande passante du circuit doit également rester

acceptable.

L'analyse fréquentielle montre une bande passante de 371MHz, et un gain conforme à celui calculé ci-dessus. En ce qui concerne l'analyse de bruit, nous obtenons les résultats suivants:

Transistor	Bruit thermique	% du bruit total	Bruit en 1/f	% du bruit total
M6	0,32mV	12,29%	0,77mV	69,24%
M5	0,25mV	7,41%	10,1μV	0,01%
M7	0,18mV	4,00%	64,7μV	0,49%
M2	0,18mV	3,83%	23,1μV	0,06%
M4	0,13mV	1,99%	9,22μV	0,01%
M3	31,3μV	0,11%	0,18μV	0,00%

Bruit total en sortie du pixel: 0,92mV.

Bruit total ramené en entrée: 0,32mV=13e-.

On constate que le transistor monté en source commune est la principale source de contribution au bruit, et plus particulièrement en matière de bruit en 1/f. Le bruit total en sortie du pixel est près de 3 fois supérieur à celui obtenu sans amplificateur, mais le bruit ramené en entrée est sensiblement du même ordre de grandeur. Cependant, le paramètre le plus significatif pour évaluer les performances du pixel n'est pas le bruit lui-même mais le rapport signal à bruit:

– Rapport signal à bruit en sortie: $SNR_o = \frac{\Delta V_o}{V_{n(o)}} = 38,8$.

– Rapport signal à bruit ramené en entrée: $SNR_i = \frac{\Delta V_i}{V_{n(i)}} = 36,6$.

Ces valeurs sont tout à fait satisfaisantes, puisqu'elles sont largement supérieures à la valeur limite de 10 initialement fixée, mais également aux valeurs obtenues sans amplificateurs, qui n'étaient que de l'ordre de 25. L'autre paramètre important permettant d'évaluer les performances du circuit en terme de bruit, est le bruit ramené à l'entrée exprimé en électrons. On constate que celui-ci n'est plus que de 13e-, alors qu'il était de 20e- en l'absence d'amplificateur.

Nous nous sommes également intéressé à l'évolution de la bande passante en fonction de la capacité de sortie du pixel.

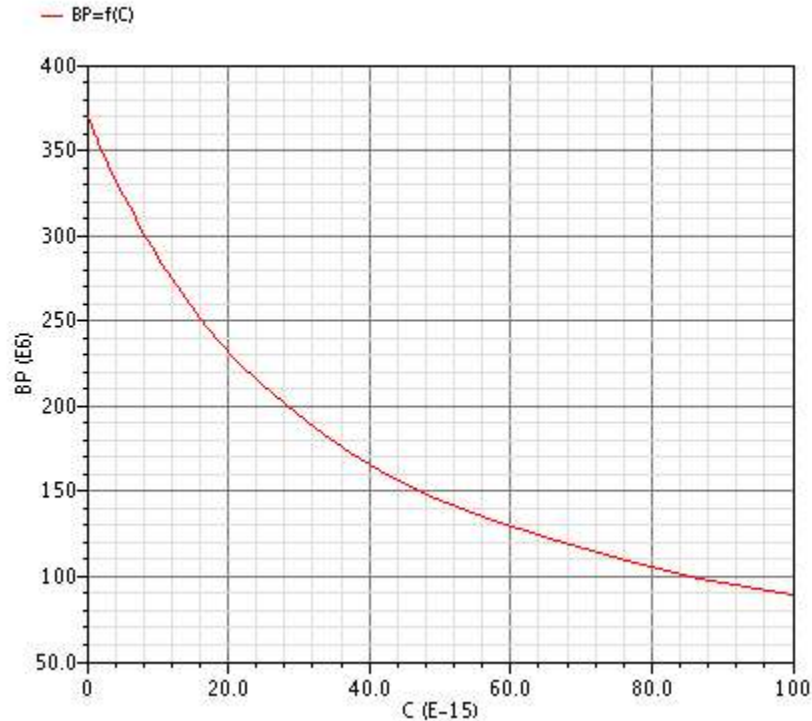


Fig. 2.18: Evolution de la bande passante en fonction de la capacité de sortie.

On s'aperçoit qu'il faudrait une capacité relativement importante (85,2fF) pour passer sous la limite de bande passante de 100MHz imposée par le cahier des charges.

Un autre point important à suivre est la consommation du circuit. En effet, on a vu que le pixel pouvait fonctionner avec un courant de l'ordre de seulement $2\mu\text{A}$, ce qui est tout à fait satisfaisant du point de vue de la consommation. Cependant, le courant circulant dans l'amplificateur est lui de l'ordre de $20\mu\text{A}$. Il serait donc intéressant de chercher à optimiser cet amplificateur de manière à diminuer la consommation globale des pixels.

Finalement, on constate que les objectifs de performances fixés pour la conception du pixel ont été atteints, aussi bien du point de vue de la bande passante que du bruit ou du facteur de conversion. Une légère incertitude peut toutefois être émise en ce qui concerne la tolérance aux radiations. En effet, contrairement aux autres transistors du circuit, qui ne devraient permettre aucun courant de fuite, ceux de l'amplificateur n'étant pas réalisés en géométrie fermée, ils sont susceptibles de laisser passer de légers courants de fuite drain-source.

2.2.5. Conception layout du pixel

Maintenant que les caractéristiques optimales du pixel ont été déterminées, la conception du layout de celui-ci peut être réalisée.

Différentes structures de pixels seront réalisées, avec ou sans amplificateur interne, en utilisant des transistors fermés et des diodes, avec ou sans anneau de garde.

Les paramètres et contraintes à respecter sont les suivants:

- $W_1'=W_2'=W_3'=0,32\mu\text{m}$ ($W_1'=0,4\mu\text{m}$ pour les pixels avec amplificateur)
- $L_1=L_3=120\text{nm}$, soit $W_1=W_3=2,10\mu\text{m}$ ($W_1=2,26\mu\text{m}$ pour les pixels avec amplificateur)
- $L_2=600\text{nm}$, soit $W_2=4,02\mu\text{m}$.
- $W_6=1\mu\text{m}$, $L_6=0,12\mu\text{m}$.
- $W_7=0,4\mu\text{m}$, $L_7=1,5\mu\text{m}$.
- Dimensions du pixel: $7,5 \times 7,5\mu\text{m}$.
- Dimensions de la diode (de type N-well/P-substrate): $2 \times 2\mu\text{m}$.

2.2.5.1. Conception de diodes

Avant de réaliser les pixels, nous cherchons à concevoir différents types de diode, avec une structure de base N-well/P-substrate (Fig. 2.19). Cela signifie que la cathode sera réalisée à l'aide d'un caisson N-well, et que le substrat de type P fera office d'anode.

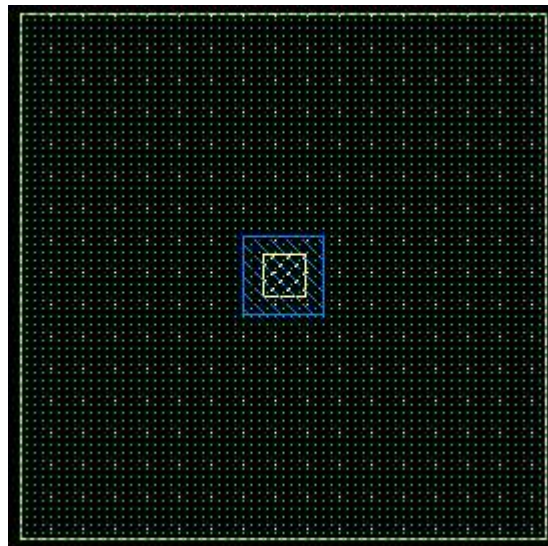


Fig. 2.19: Structure de base de la diode N-well/P-substrate.

Ce modèle élémentaire de diode sera utilisé pour concevoir certains pixels, mais dans le but de réduire les courants de fuite de la diode, on cherche à optimiser celle-ci, et cela se fera par l'implémentation

d'un anneau de garde. Cependant l'anneau de garde sera différent de celui utilisé pour les transistors. Le principe est en réalité plus proche de celui de la géométrie fermée de la grille des transistors. Une structure relativement efficace a été conçue précédemment par le laboratoire en technologie 0,35 μm . Celle-ci se compose d'une couche de polysilicium entourée d'une part de N-well et de N+, et d'autre part de P-well et de P+ [10-11]. C'est cette même structure que nous avons choisi d'utiliser au sein de notre pixel (Fig. 2.20).

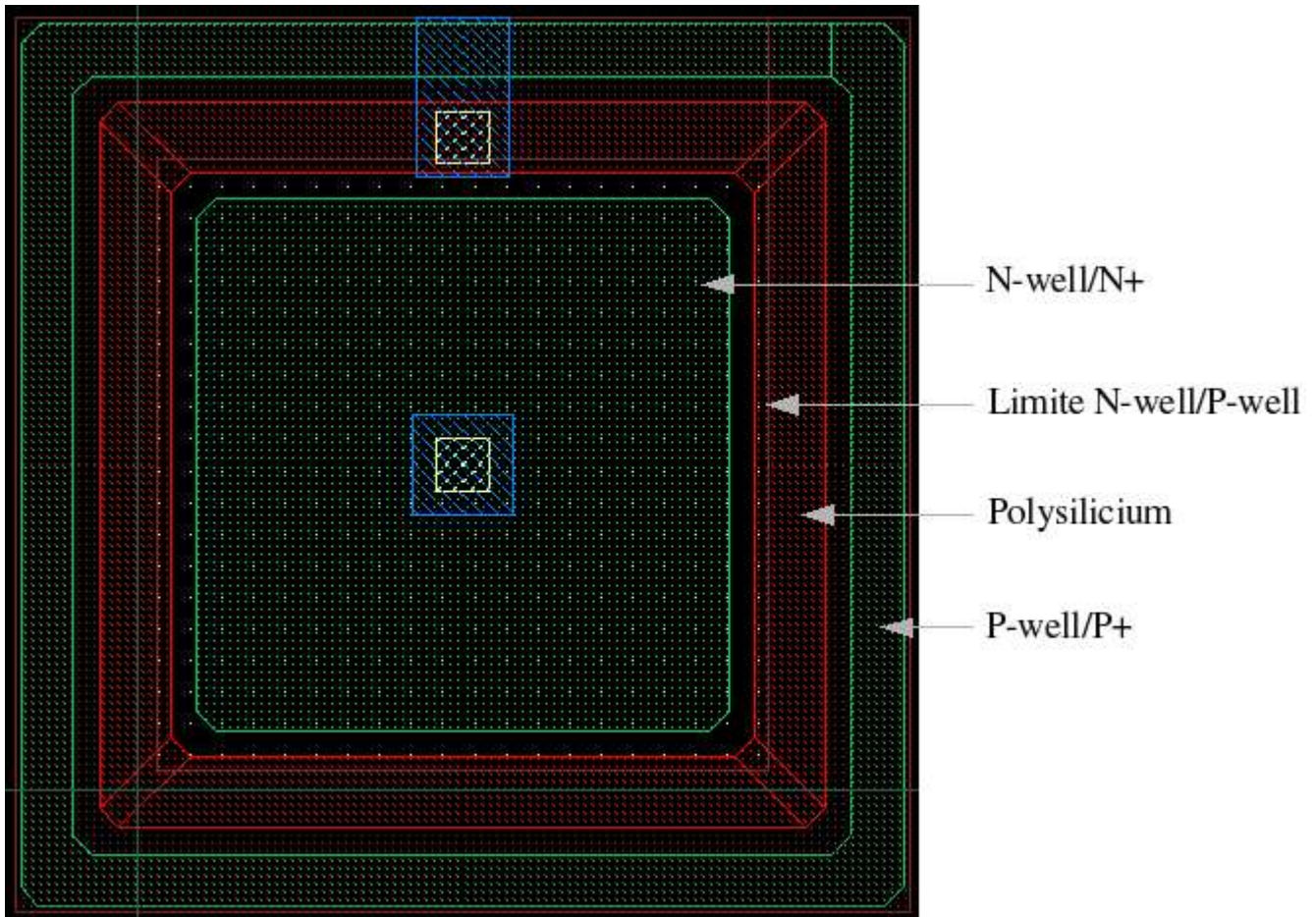


Fig. 2.20: Diode N-well/P-substrate avec anneau de garde.

Un nouveau modèle de diode a par la suite été créé, sur le principe d'une double diode en tête-bêche (Fig. 2.21). On garde toujours la structure de base N-well/P-substrate, à laquelle on ajoute une diffusion P+ afin de créer une diode N-well/P+. Cette dernière sert en fait de reset continu et remplace le switch de reset M1 [8-10-11].

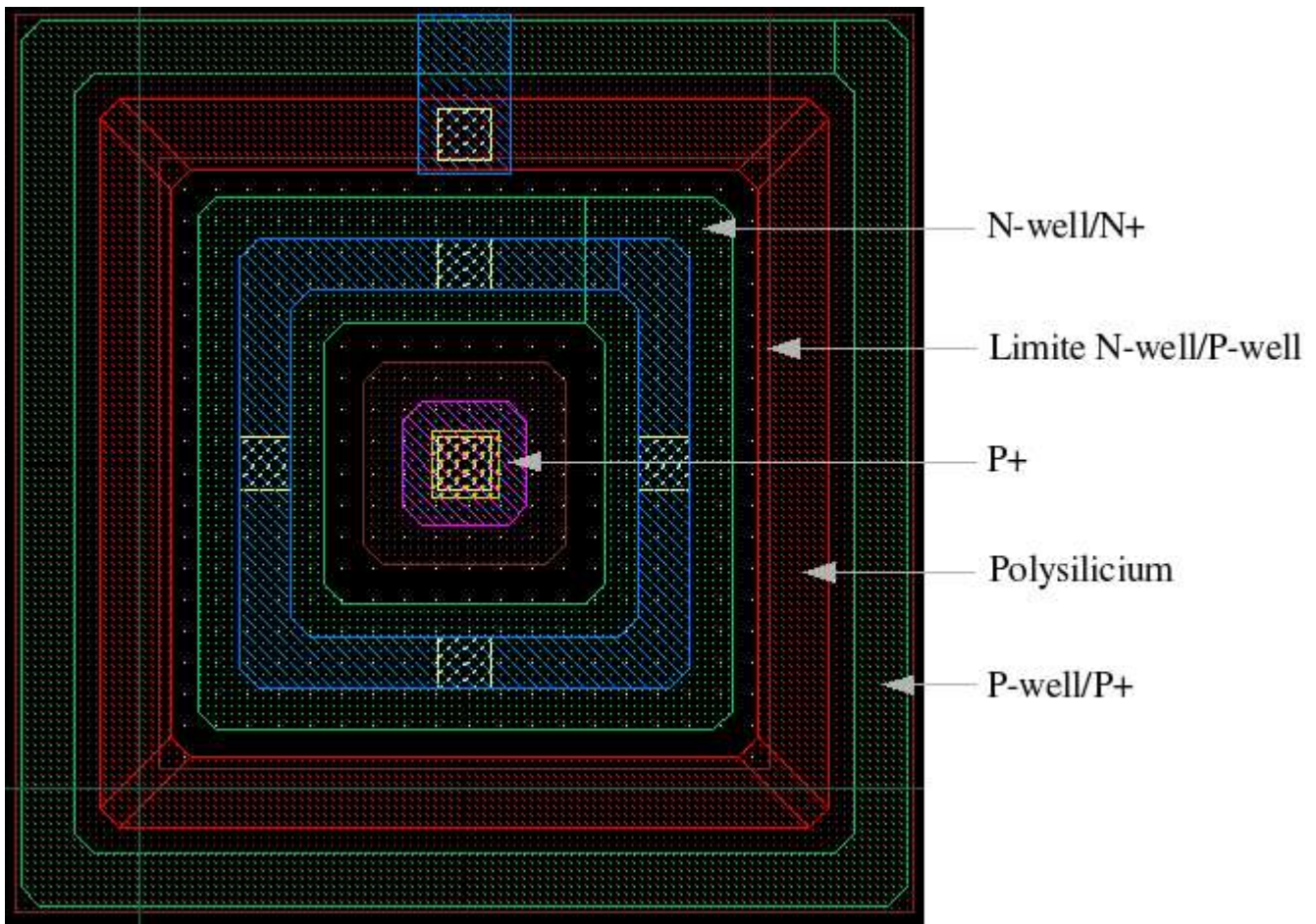


Fig. 2.21: Double diode P+/N-well/P-substrate.

2.2.5.2. Pixel sans amplificateur interne

Différents layouts de pixels sans amplificateur ont été conçu. Le but était notamment de vérifier que le pixel déterminé par simulations était réalisable sur une surface de $7,5 \times 7,5 \mu\text{m}^2$, selon que les transistors et la diode étaient munis d'un anneau de garde ou pas.

La principale attention concerne le placement des différentes barres de métal destinées à la connexion des pixels (Vdd, gnd, rst, ...). Il faut en effet penser que les pixels seront placés côte à côte, et qu'il est donc nécessaire de tenir compte des règles de dessin à respecter. On peut alors choisir de disposer les connexions réalisées dans le même métal à une distance suffisante du bord du pixel, pour que celles-ci soient suffisamment espacées lorsque les pixels seront accolés ($0,1 \mu\text{m}$ de l'extrémité du pixel, puisque la distance entre deux surface de métal doit être de $0,2 \mu\text{m}$), ou alors de réaliser ces pistes dans des métaux différents. Elles peuvent alors être dessinées aussi prêt que possible du bord du pixel, sans avoir à prendre en compte la moindre distance minimale imposée par les règles de dessin.

Lors de la conception de ces pixels, on a remarqué que pour un pixel n'utilisant aucun anneau de garde (Annexe A3), le placement de l'ensemble des composants sur la surface était relativement aisée. Qu'on utilise des anneaux de garde uniquement pour les transistors (Annexe A4), uniquement pour la diode (Annexe A5) ou pour les deux, le placement s'est avéré possible. Cependant, pour le pixel le plus tolérant aux radiations, dont l'ensemble des composants est protégé par un anneau de garde (Fig. 2.22), on voit qu'on arrive vraiment à la limite de ce qui est réalisable sur une surface de $7,5 \times 7,5 \mu\text{m}^2$.

Finalement, on constate que les dimensions de pixel définies dans le cahier des charges, on pu être respectées pour des pixels conçus sans amplificateur interne.

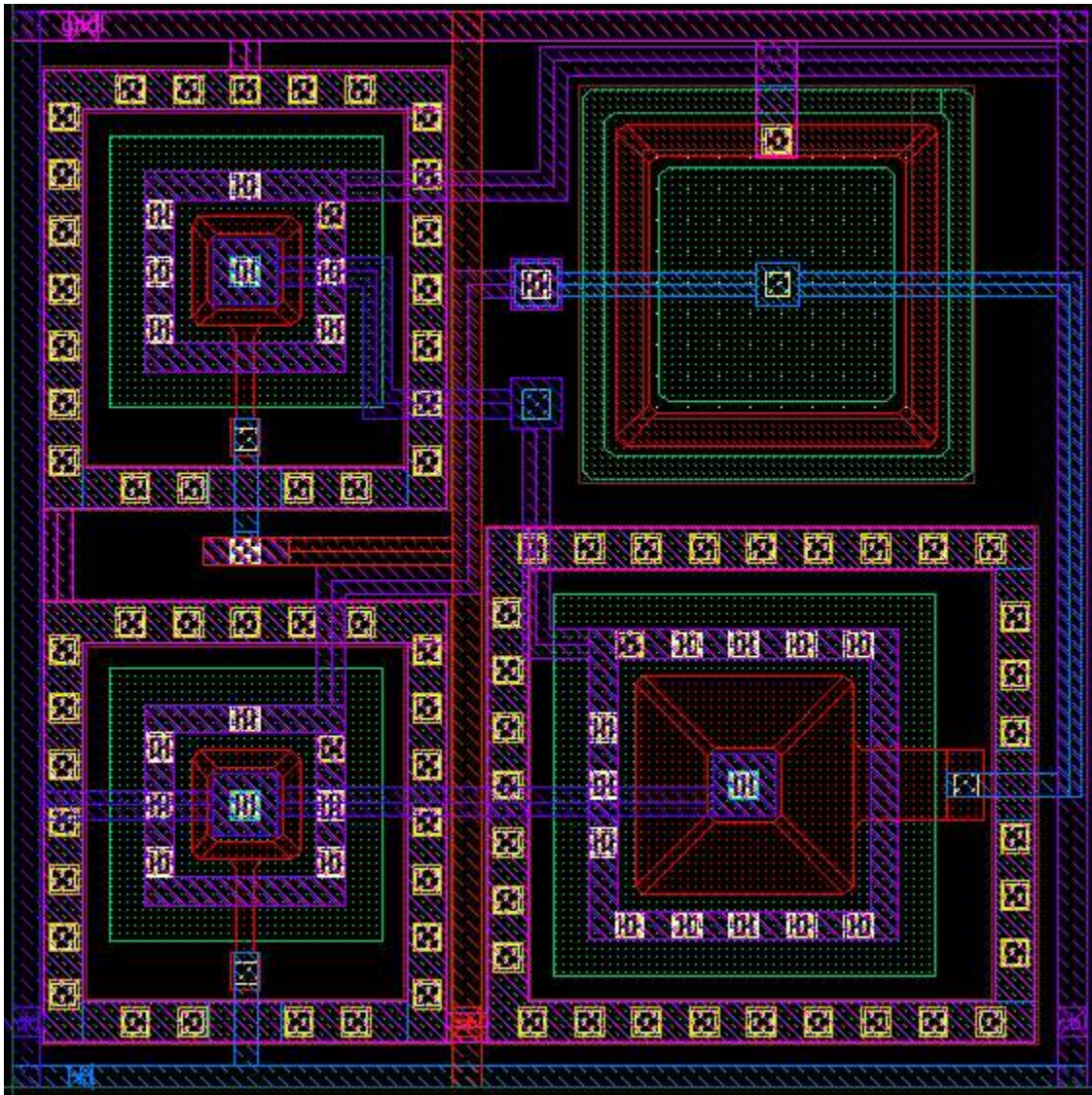


Fig. 2.22: Pixel à transistors et diode avec anneau de garde.

2.2.5.3. Pixel avec amplificateur interne

De la même façon que précédemment, on a cherché à concevoir différents modèles de layouts de pixels avec amplificateur interne, avec ou sans anneaux de garde. Les dimensions des deux transistors de l'amplificateur étant tout à fait raisonnables (en raison, notamment, de l'utilisation de transistors linéaires), le placement de l'ensemble des composants reste possible dans le cas où aucun anneau de garde n'est utilisé (Annexe A6).

On a vu ci-dessus que la surface de $7,5 \times 7,5 \mu\text{m}^2$ était quasi-intégralement recouverte pour un pixel sans amplificateur dont l'ensemble des composants sont équipés d'un anneau de garde. Il est donc évident qu'il ne sera possible d'y ajouter l'amplificateur. Il a alors été choisi d'essayer de concevoir le pixel sur une surface de $10 \times 10 \mu\text{m}^2$. Dans ce cas, on constate que même s'il n'est pas particulièrement aisé, le placement de l'intégralité des composants est tout à fait réalisable. Notons également qu'une barre de métal supplémentaire a dû être dessinée pour la tension de reset.

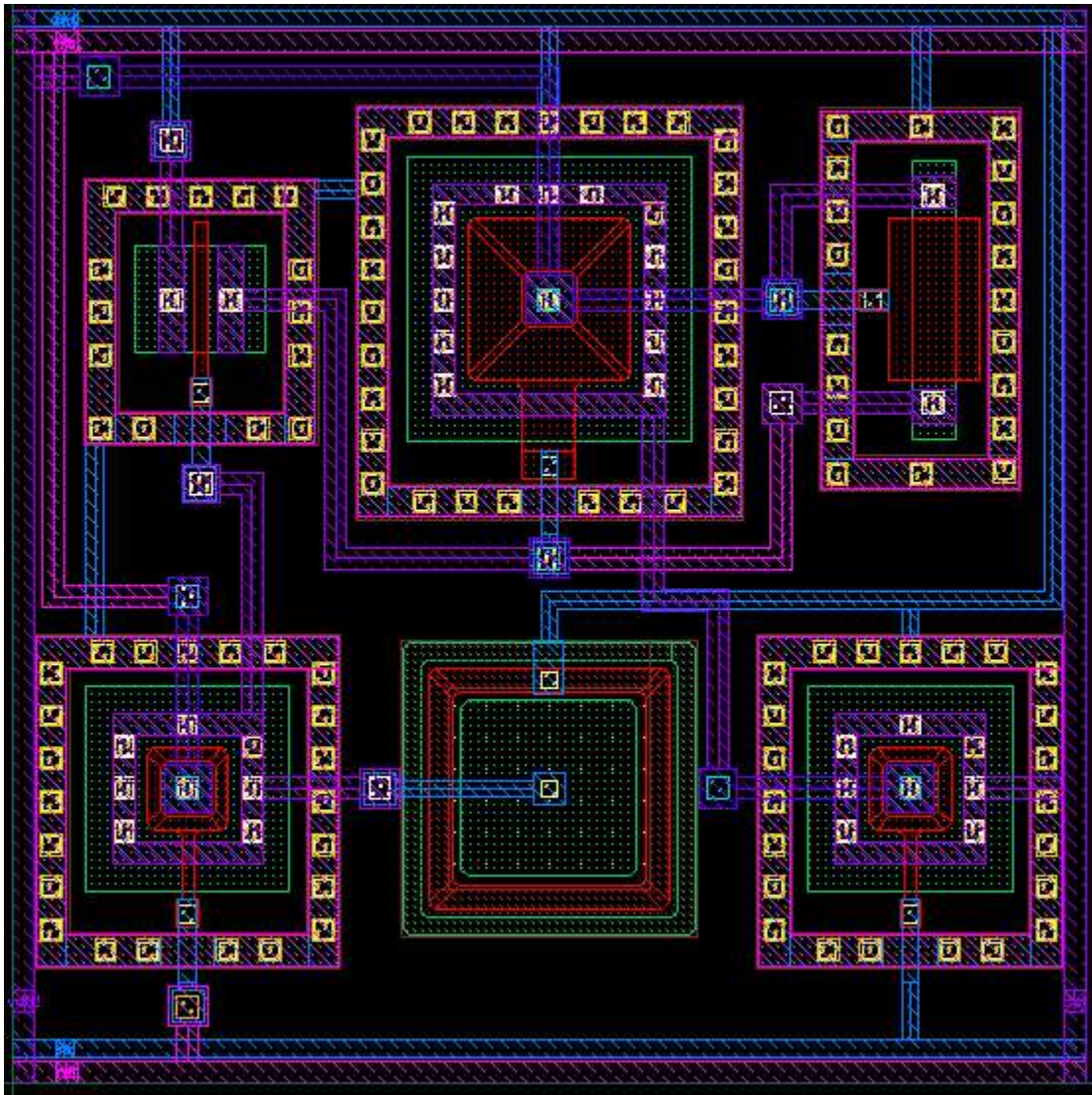


Fig. 2.23: Pixel avec amplificateur à transistors et diode avec anneaux de garde.

Finalement, on constate que pour concevoir le pixel le plus performant qu'on puisse faire, la surface de $7,5 \times 7,5 \mu\text{m}^2$ initialement proposée dans le cahier des charges n'est pas suffisante. Cependant la surface de $10 \times 10 \mu\text{m}^2$ sur laquelle ce pixel a été réalisé reste tout à fait satisfaisante, dans le sens où elle est nettement inférieure à ce qui a été réalisé dans les technologies précédentes, qui était par exemple de $25 \times 25 \mu\text{m}^2$ dans une technologie $0,25 \mu\text{m}$ [8].

Références

- [1] E. R. Fossum, "CMOS Image Sensors: Electronic Camera-On-A-Chip", *IEEE Transactions on Electron Devices*, vol. 44, n°10, Oct. 1997.
- [2] Yu. Gornushkin et al., "Tracking performance and radiation tolerance of monolithic active pixel sensors", *Nuclear Instruments and Methods in Physics Research A 513*, 2003, pp. 291-295.
- [3] R. Turchetta et al., "A monolithic active pixel sensor for charged particle tracking and imaging using standard VLSI CMOS technology", *Nuclear Instruments and Methods in Physics Research A 458*, 2001, pp. 677-689.
- [4] P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, *Analysis And Design of Analog Integrated Circuits*, Fourth Edition, John Wiley & Sons, 2001.
- [5] W. M.C. Sansen, *Analog Design Essentials*, Springer, 2006.
- [6] K. Han et al., "Analytical Drain Thermal Noise Current Model Valid For Deep Submicron MOSFETs", *IEEE Transactions on Electron Devices*, vol. 51, n°2, Feb. 2004.
- [7] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [8] Y. Degerli et al., "A Fast Monolithic Active Pixel Sensor With Pixel-Level Reset Noise Suppression and Binary Outputs for Charged Particle Detection", *IEEE Transactions on Nuclear Science*, vol. 52, n°6, Dec. 2005.
- [9] Y. Degerli et al., "Design of fundamental building blocks for fast binary readout CMOS sensors used in high-energy physics experiments", *Nuclear Instruments and Methods in Physics Research A 602*, 2009, pp. 461-466.
- [10] A. Szelezniak et al., "Small-Scale Readout System Prototype for the STAR PIXEL Detector", *IEEE Transactions on Nuclear Science*, vol. 55, n°6, Dec. 2008.
- [11] W. Dulinski et al., "Optimization of Tracking Performance of CMOS Monolithic Active Pixel Sensors", *IEEE Transactions on Nuclear Science*, vol. 54, n°1, Feb. 2007.

Conclusions et perspectives

L'utilisation de capteurs CMOS pour des applications de détecteurs de particules nécessitent la conception de pixels tolérants aux radiations. La tolérance est naturellement améliorée par la miniaturisation des technologies, mais celle-ci peut également être accrue en suivant des techniques de layout particulières. Celles-ci consistent à dessiner des transistors fermés et des anneaux de garde autour des différents composants.

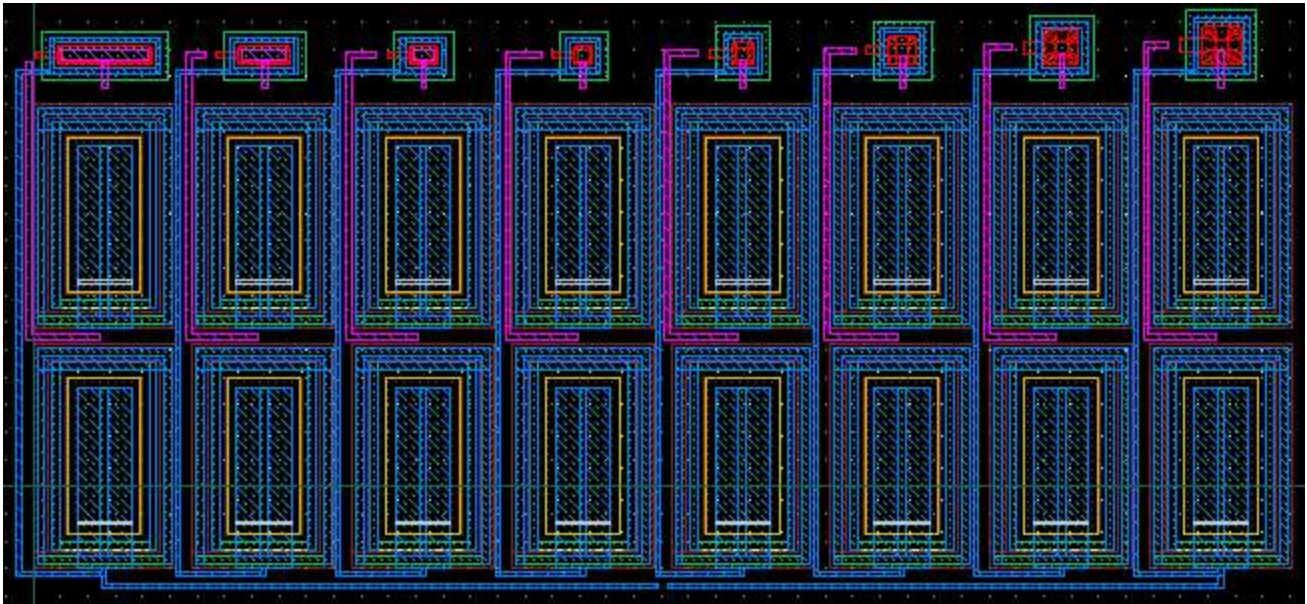
Durant la conception des pixels, la première constatation qui a pu être faite concerne les limitations, en comparaison des transistors linéaires, engendrées par la géométrie fermée des transistors. En effet, la largeur de grille s'accroissant automatiquement lorsqu'on augmente la longueur, le rapport W/L ne peut décroître de manière linéaire. Cela peut alors s'avérer difficile d'obtenir un rapport de dimensionnement conséquent entre deux transistors ou un gain suffisamment élevé.

Finalement, les résultats de simulation obtenus sont encourageants et laissent penser que cette technologie IBM 0.13 μm peut être utilisée efficacement dans la conception de détecteurs de particules, sous réserve de l'obtention de résultats concluants lors de tests sur silicium. En effet, nous avons pu constater que les objectifs fixés, notamment en terme de bruit et de bande passante, avaient été respectés, et qu'il est théoriquement possible d'obtenir des performances supérieures à celles des détecteurs réalisés dans les technologies précédentes (MIMOSA8 en technologie TSMC 0.25 μm ou MIMOSA16 en AMS 0.35 μm). Du point de vue layout, conformément à ce qui avait été envisagé, cette technologie nous a permis de concevoir des pixels de plus faibles dimensions (7.5x7.5 μm^2 à 10x10 μm^2).

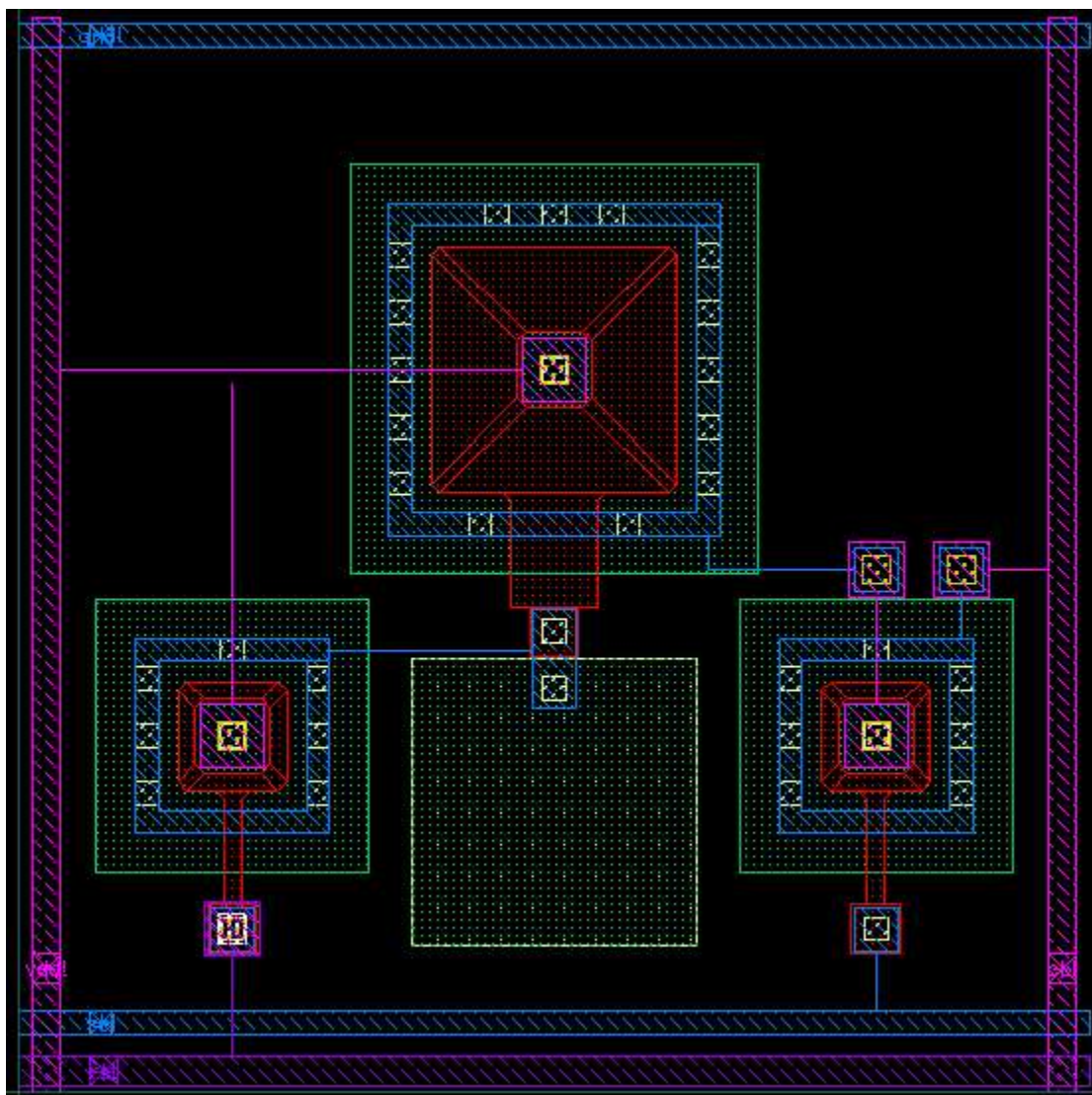
Les limitations liées à l'utilisation de transistors fermés se sont toutefois fait sentir lors de la conception de l'amplificateur interne au pixel destiné à l'augmentation du facteur de conversion, qui était inférieur à nos attentes. Il s'est finalement avéré être impossible, en utilisant des transistors fermés, d'obtenir un gain suffisamment élevé sans détériorer les performances du pixel. Le fait d'utiliser alors des transistors linéaires pour la conception de l'amplificateur suppose la possible présence de courants de fuite entre le drain et la source de ces deux transistors, et donc une tolérance aux radiations imparfaite, mais qui devrait toutefois être suffisante pour garantir le bon fonctionnement du circuit.

Annexes

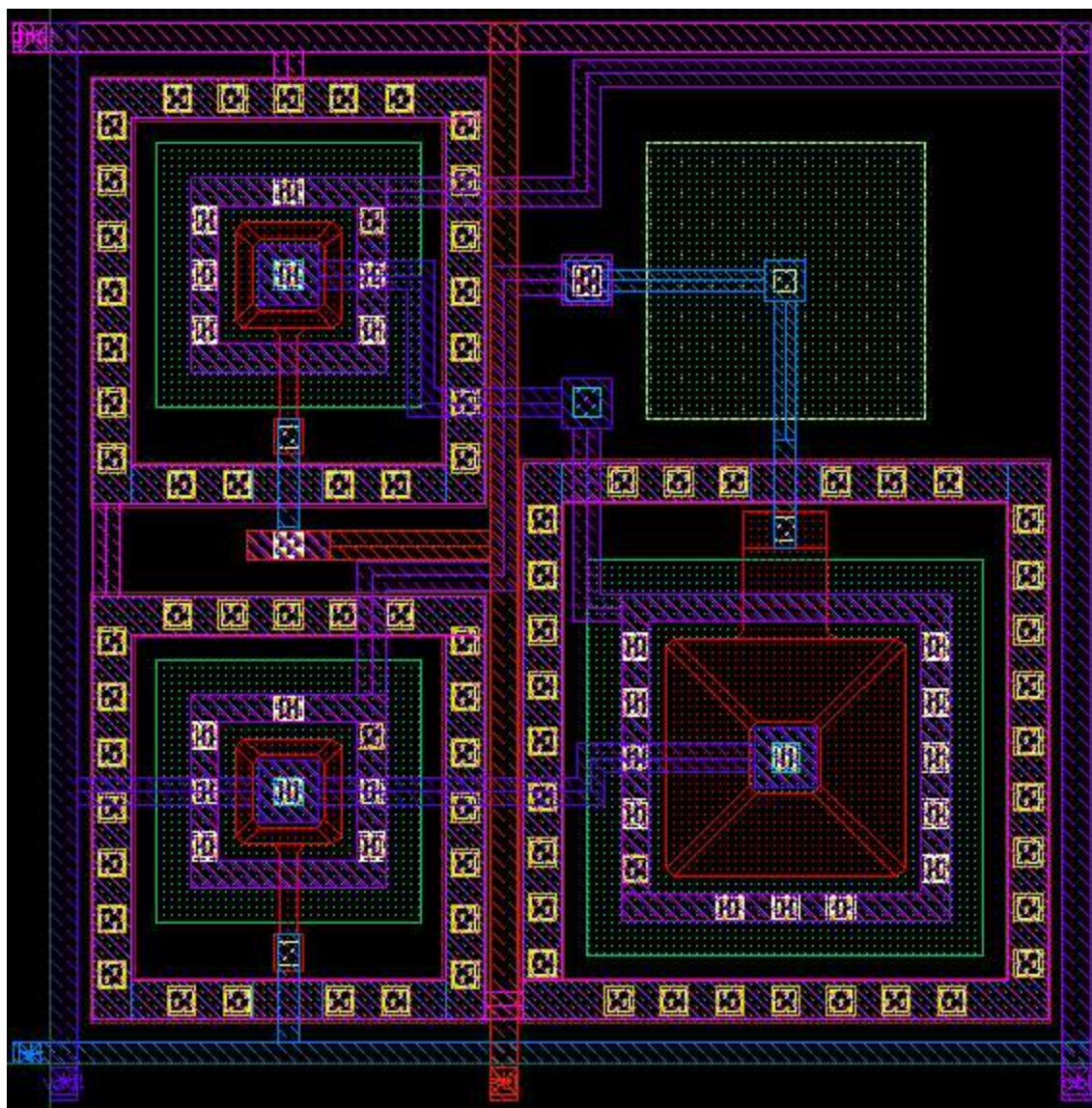
A1. Layout de la matrice composée des transistors NMOS fermés réalisés avec différentes longueurs et largeurs de grille



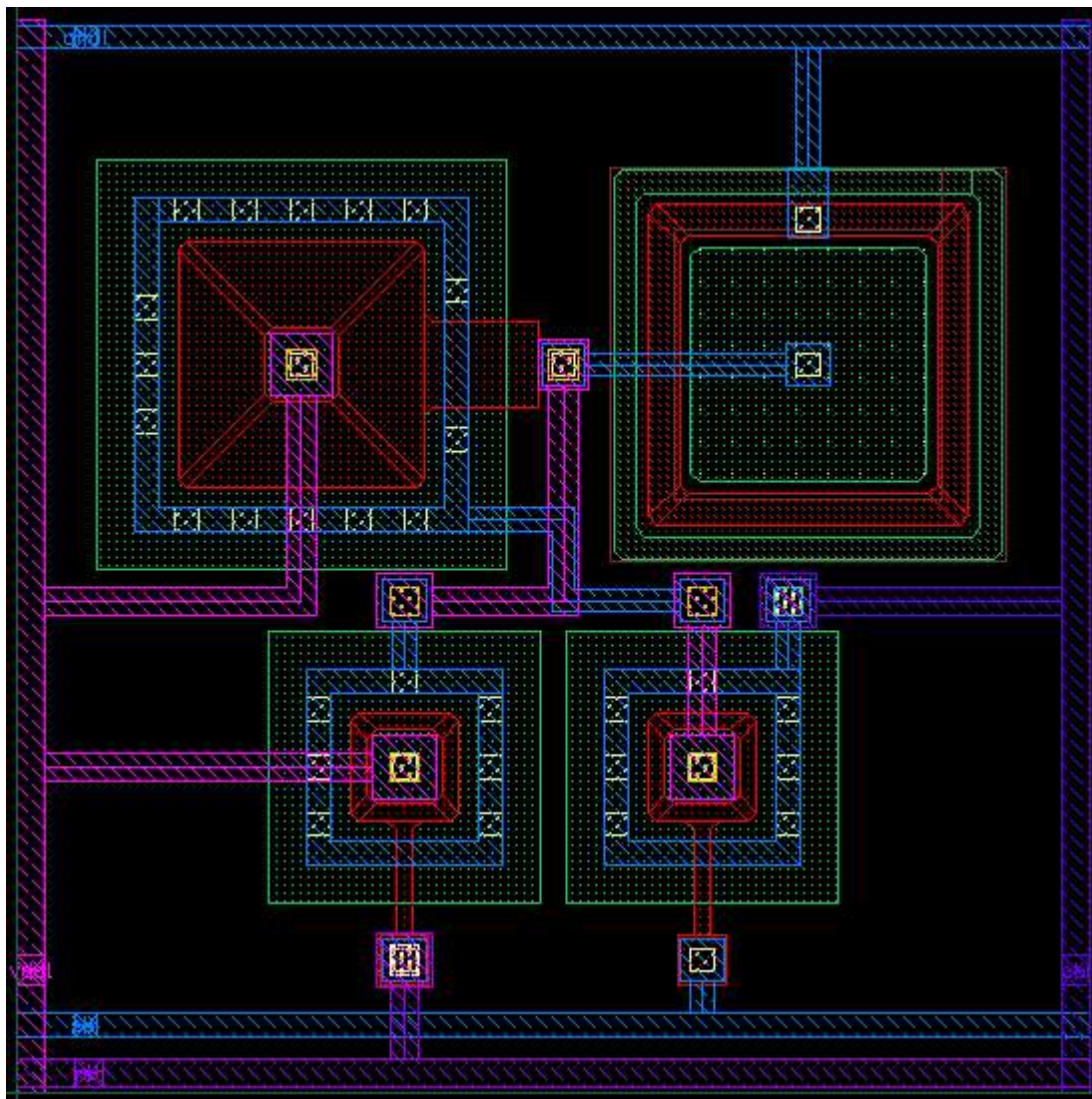
A3. Pixel à transistors et diode sans anneau de garde (pitch: 7,5 μ m)



A4. Pixel à transistors avec anneau de garde et diode sans anneau de garde (pitch: 7,5 μm)



A5. Pixel à transistors sans anneau de garde et diode avec anneau de garde (pitch: 7,5 μ m)



**A6. Pixel avec amplificateur interne à transistors et diode sans anneau de garde
(pitch: 7,5 μ m)**

