

dapnia



saclay



Circuits intégrés pour la Mesure du Temps.



eric.delagnes@cea.fr

PLAN

dapnia



saclay

- Introduction, Les paramètres dimensionnants des TDC
- Notions de base: synchronisation, métastabilité, jitter...
- Les Techniques « grossières » à base de compteur.
- La méthode du vernier
- Techniques analogiques de Chronométrie fine:
 - Signaux échantillonnés.
 - TAC
- Techniques numériques de chronométrie fine.
 - DLL et PLL.
 - Jitter et non linéarité dans les systèmes à DLL et PLL
 - Compérateurs de phase et pompes de charges.
 - Systèmes à interpolations multiples.
- Techniques de caractérisation et de calibration
- Autres applications des circuits à DLL et PLL.
- Conclusion et perspectives



dapnia



saclay

INTRODUCTION

La Mesure de temps dans les expériences de Physique

dapnia



saclay

- Dans les systèmes multicanaux :
 - Moyen d'associer les signaux de différents détecteurs correspondant à un même événement.
 - Permet de remonter le temps:
 - Pour réaliser des Coïncidences en temps différés
 - Associer des évènements à un trigger => filtrage des évènements.
- Mesure de temps de vol:
 - discrimination de particules.
 - spectrométrie de masse.
 - spectrométrie.
- Mesure de position : chambres à dérive, TPC.
- Mesure « économique » de Charges via la mesure du TOT.
- Mesure de Temps de montée :
 - Compensation déficit balistique (ISGRI/INTEGRAL).
 - Reconnaissance de Forme de pulse .
- Conversion analogique numérique (ADC Wilkinson....).

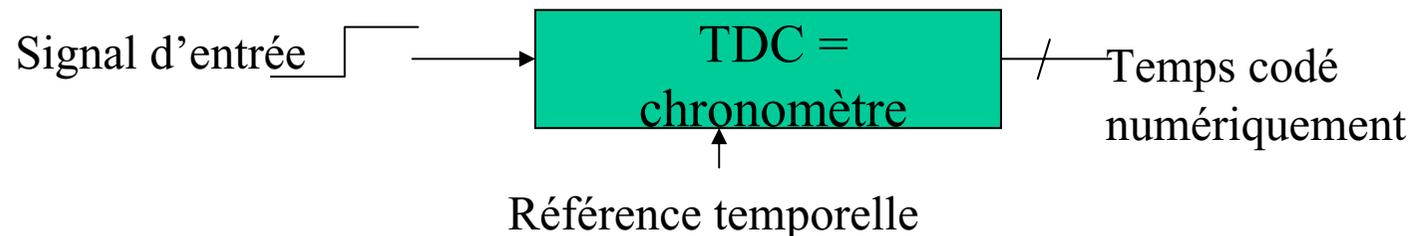
Généralités sur le contenu de l'exposé

dapnia



saclay

- L'exposé est concentré sur les dispositifs de chronométrie (Time to Digital Converter): résultat = mot numérique.
- Dans la suite:
 - Les dispositifs étudiés fournissent tous une information digitale (qui peut nécessiter un post-traitement).
 - Les problèmes de discrimination des signaux analogiques ne sont plus abordés dans l'exposé.
 - Sauf exception, les dispositifs décrits réalisent la chronométrie d'un front d'un signal logique. Les techniques utilisées sont facilement extrapolables à la mesure d'intervalle de temps (durée d'impulsion ou distance entre deux fronts).



- Seul le cœur des TDCs sera traité, les dispositifs de bufferisation ou/et de filtrage d'évènements ne seront pas abordés.

Les paramètres techniques des TDCs.

dapnia



saclay

- Même si les informations d'entrées et sortie sont binaires, le temps est une quantité analogique: le cœur du TDC est un circuit mixte analogique/numérique (nombreuses similitudes avec les ADCs).

- Les principaux paramètres sont similaires à ceux des ADCs (cf l'excellent cours de Jacques Lecocq):

- La dynamique de mesure (DR).
 - Le pas de quantification de la mesure (q): $\sigma_q = q / \sqrt{12}$
 - Les non-linéarités de conversion (INL et DNL).
 - Le « bruit » sur la mesure de temps = gigue (jitter): σ_t .
 - Le temps de codage.
 - + Le temps mort: incapacité de coder deux signaux proches.
- Contribuent à l'erreur de mesure

- Les dispositifs élémentaires à grande DR ont en général une faible précision et inversement:

⇒ Pour avoir les deux : dispositifs composites =>

⇒ **Mesure grossière (compteurs) + interpolateurs analogiques ou numériques (éventuellement multiples).**



dapnia



saclay

Quelques Rappels de base

Asynchronisme

dapnia



saclay

- La plupart des TDCs utilisent comme signaux de référence:
 - Soit un signal d'horloge de référence.
 - Soit un signal de démarrage ou d'arrêt.
- Le signal à coder peut être:
 - synchrone de l'horloge => codage « évident » (cf planche 14).
 - asynchrone => les ennuis commencent. Si ce signal est échantillonné par l'horloge ou échantillonne un signal synchronisé par l'horloge:
 - Il est nécessaire de le resynchroniser pour travailler dans un contexte de logique synchrone.
 - Ou en être conscient et vivre avec des risques de métastabilité.

Métastabilité...quand la logique devient analogique.

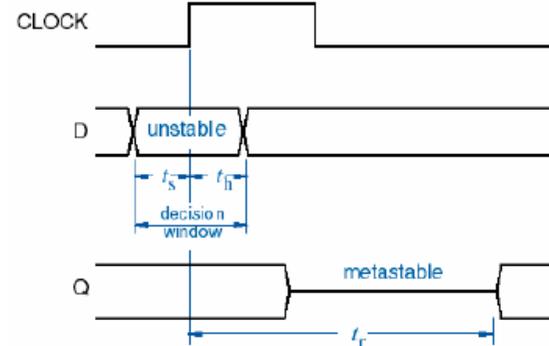
dapnia



saclay

Ce type de fonctionnement peut se produire:

- sur tous les types de points de mémorisation, y compris les DFFs et les bascules RS.
- Lorsqu'il y a une violation de temps de setup ou de hold sur les bascules :
 - CK bougeant simultanément avec DATA sur DFFs.
 - glitch sur entrées CK (DFF), R ou S (RS)
 -



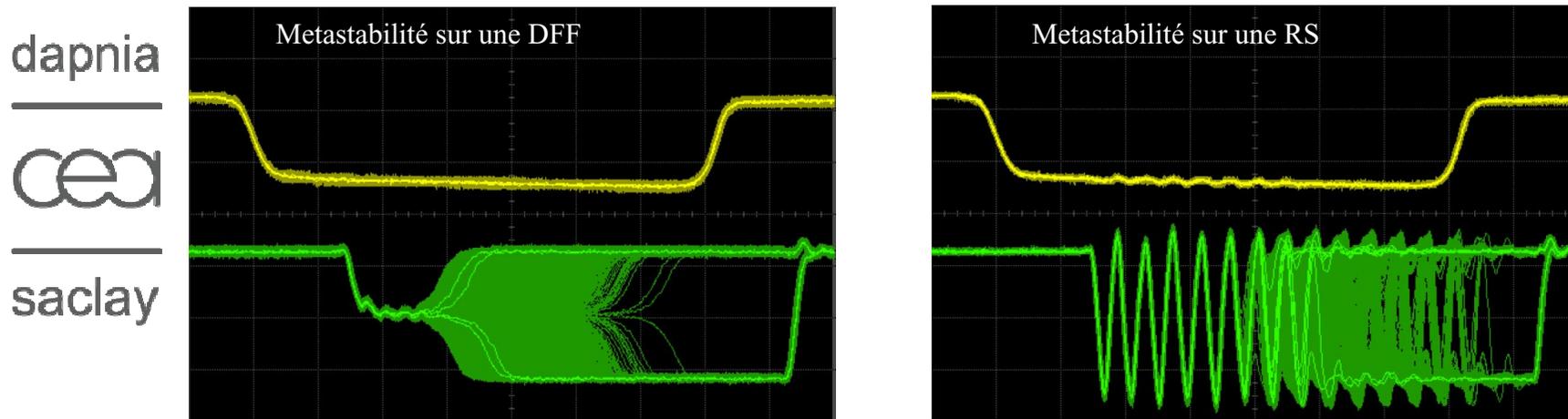
•La sortie de la bascule prend un état... analogique, éventuellement oscille et finit par prendre une décision.

•La probabilité de rester dans un état métastable est en $e^{-tr/\tau}$

•La propagation de l'état métastable dans la logique de traitement peut provoquer un fonctionnement erratique, des erreurs de codage, des plantages (2 soumissions du chip ARS pour ANTARES).

=> S'il y a risque de métastabilité inévitable, le design doit être durci pour vivre avec...

Metastabilité (2)



- La fenêtre d'apparition de la métastabilité, donc sa probabilité d'apparition ainsi que le temps caractéristique de récupération τ sont d'autant plus faibles que les bascules sont rapides.
 - => submicronique favorable, AsGa excellent.
 - => RS moins sensible que DFF car plus rapide.
- Fenêtre interdite ~ 10 à 100ps sur techno $0.8\mu\text{m}$, également dépendante de la qualité de l'alimentation.
- Difficile à voir en simulation (dépendant de l'algorithme de convergence et du simulateur).
- Il existe des bascules « durcies » à la métastabilité.

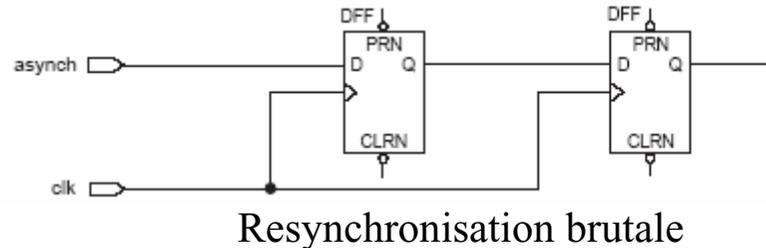
Resynchronisation

dapnia

cea

saclay

- On ne peut pas éliminer la métastabilité, mais on peut en réduire les effets grâce à un circuit de resynchronisation.



- Si la première bascule a subi une métastabilité, il est très peu probable qu'elle soit encore dans cet état lors de l'échantillonnage par la deuxième bascule.
- Attention: ce dispositif réduit la probabilité de métastabilité, mais ne l'élimine pas.
- Inconvénient: latence de 1 coup d'horloge sur le signal resynchronisé.

Source de gigue des signaux logiques (Jitter).

dapnia

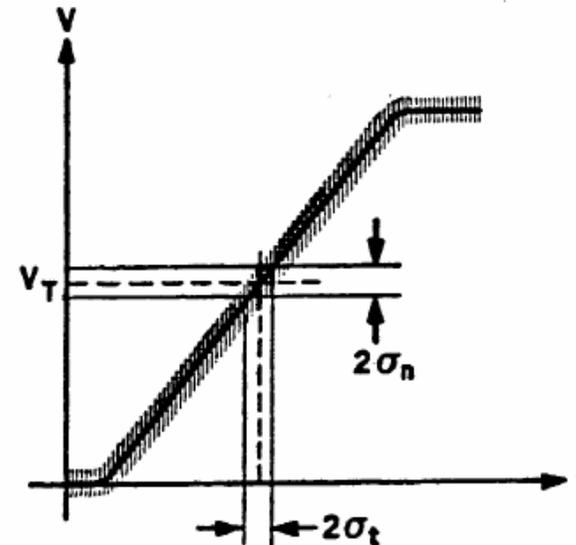


saclay

- Conversion du bruit en tension en bruit temporel:

$$\sigma_t = \sigma_n \times dV/dT.$$

⇒ Jitter plus fort si signaux lents.



- Les modulations lentes des alimentations, modifiant les temps de propagations sont également sources de jitter .

⇒ Faible jitter <= Faible bruit <= alimentations et substrat propres...
<= Structures différentielles ou à bon pouvoir de réjection.

= Mêmes recettes que pour un bon design analogique...



dapnia



saclay

Techniques de chronométrie grossières

Mesures de temps grossière.

Basées sur l'utilisation de compteurs binaires

dapnia

cea

saclay

- Stoppés par le signal à dater (resynchronisé).
- Ou échantillonnés dans un (des) registre(s) à l'arrivée du signal (pas de temps mort).
- Naturellement bien adapté à une structure multicanaux.

-Dynamique virtuellement infinie
 $= 2^{nb \text{ bits}} / F_{ck}$ (en pratique 24 bits max raisonnable)

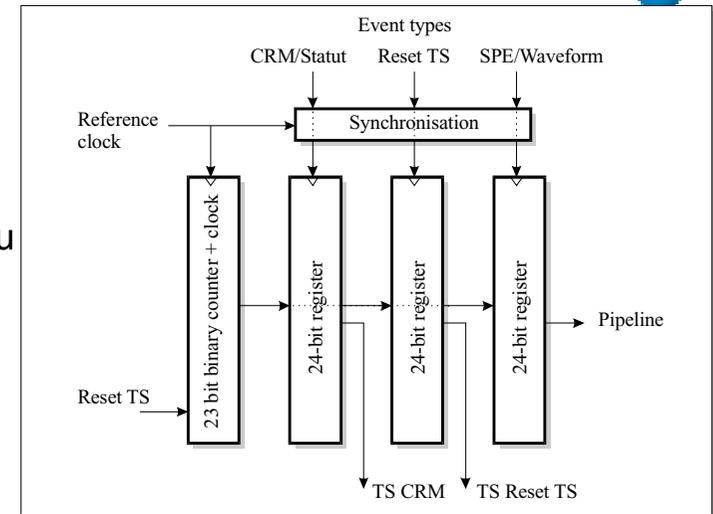
-Jitter ~ celui de l'horloge.

- Stabilité ~ celle de l'horloge.

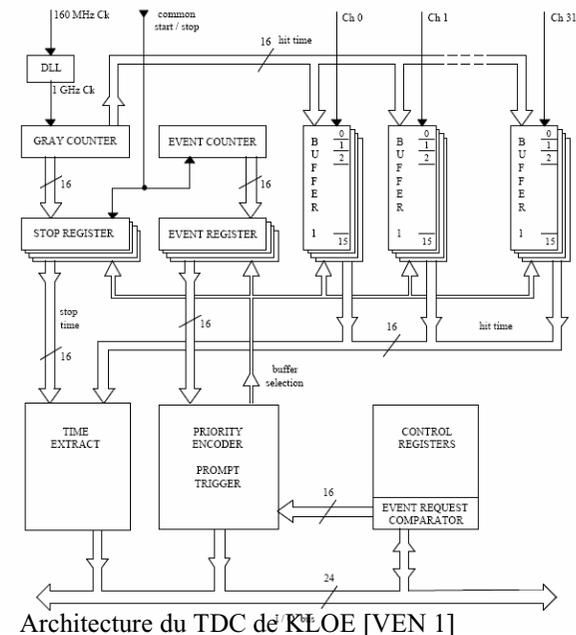
-Code Gray souvent utilisé (faible conso, plus facile à échantillonner).

-Compteurs synchrones ou partiellement synchrones.

- Etat de l'art (dans le voisinage de Saclay):
 - en 0.8 μ m 50 MHz (q=20ns), 24 bits (Puce Pipeline).
 - en 0.35 μ m 200MHz (q=5ns), en cours de design...
- plus loin)...
 - en BiCMOS 0.8 500MHz 10bits [Her 1]
 - en CMOS 0.5 1GHz (q=1ns) [Pas 1]. **PLL interne**
 - en AsGa f =2 GHz (q=0.5ns) PW= 3W.



TimeStamp de la puce ARS [LAC 1]



Architecture du TDC de RLOE [VEN 1]

Compteurs....

dapnia

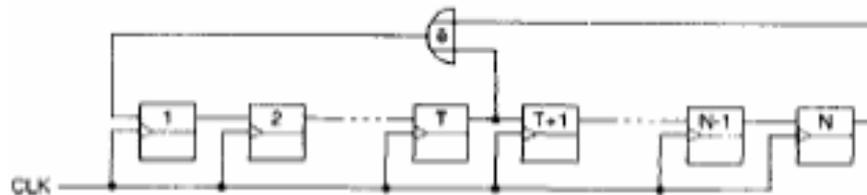


saclay

- **Limitations:**

- Puissance (proportionnelle à f).
- Taille du compteur.
- Les compteurs rapides sont réalisés en quasi full-custom.

- Autre type de compteur: compteurs basés sur des registres à décalage rebouclés [Fis 1].



- Avantages : structures synchrones beaucoup plus rapides et plus compactes, faible conso.
- Inconvénients : nécessitent un décodage complexe.

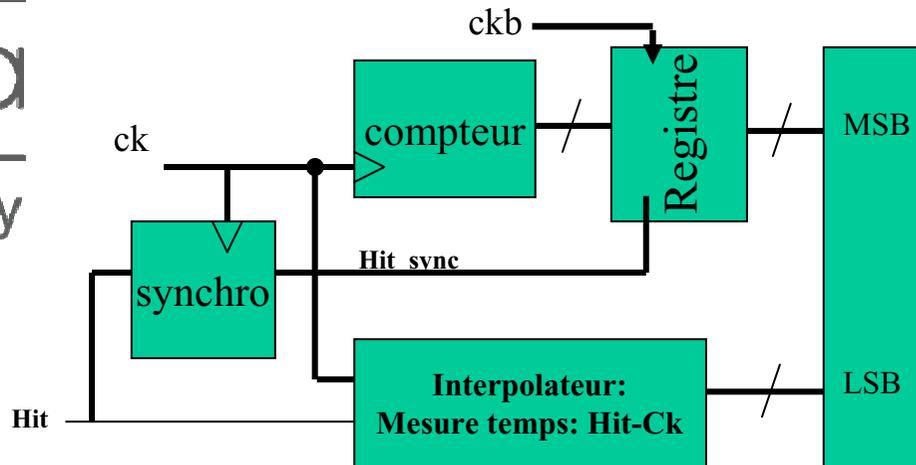
Raccordement mesure grossière-mesure fine

dapnia



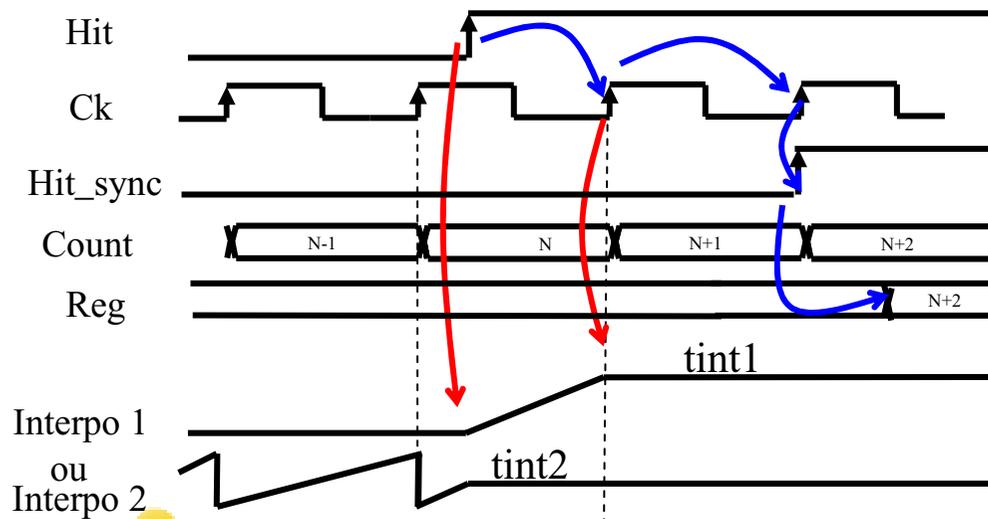
saclay

- Compteur souvent utilisé en complément d'un dispositif de mesure fine réalisant une interpolation à l'intérieur d'une période d'horloge.



Pour 99.99% des Hits Ok mais:
Si Hit tombe au voisinage de ck
=> Ambiguïté d'un coup de ck
sur le signal Hit synchro:
erreur
potentielle d'une période
d'horloge sur la mesure
grossière du temps:

=> CA NE MARCHE PAS



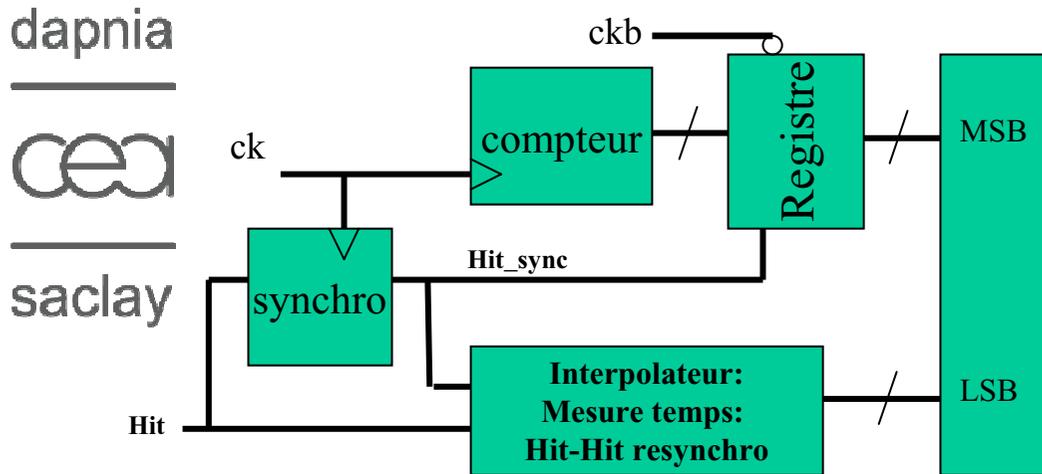
$$T_{Hit} = (REG-1) \cdot T_{CK} - t_{int1}$$

ou

$$T_{Hit} = (REG-2) \cdot T_{CK} + t_{int2}$$

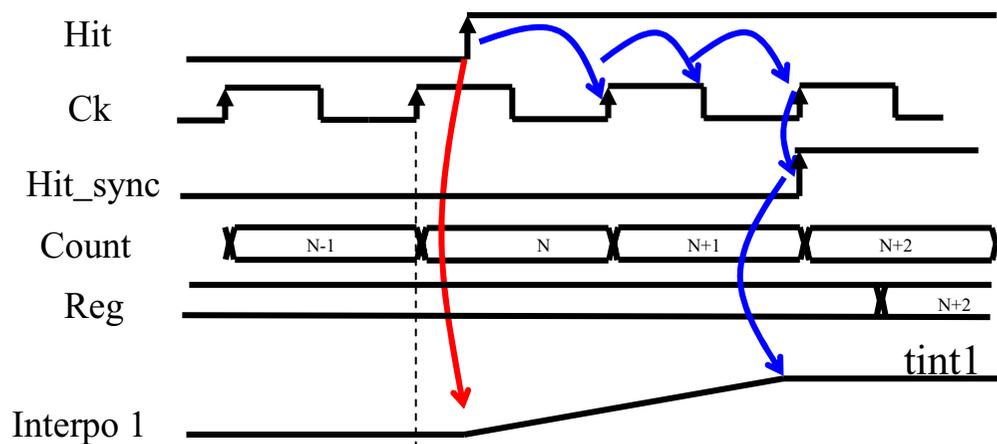
Raccordement mesure grossière-mesure fine

Ce qui marche: La méthode de Nutt.



Prise de décision unique
 ~100% fiable, car prise de décision unique.

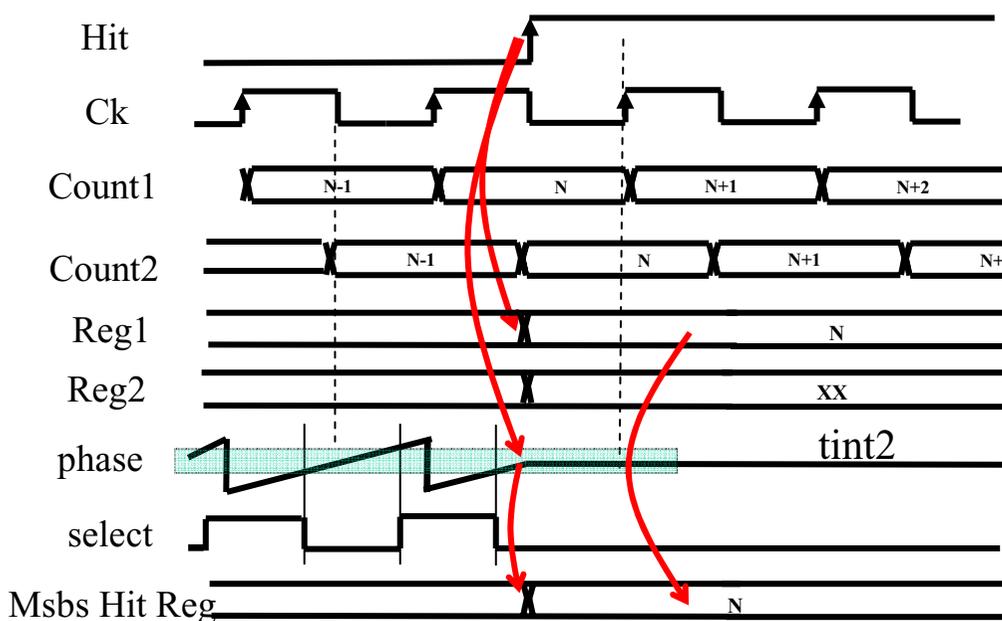
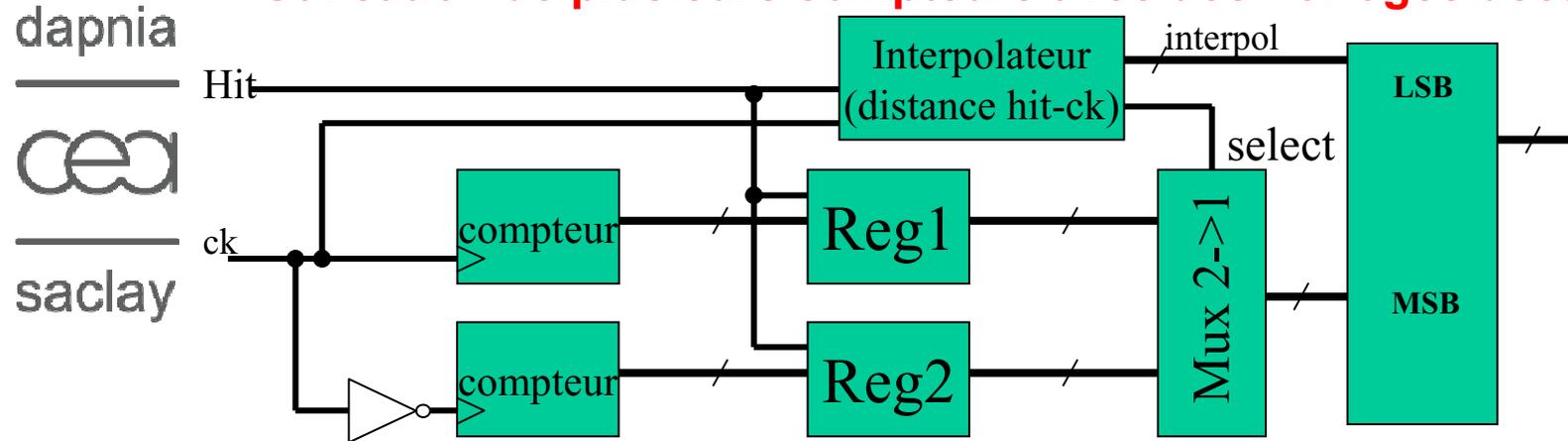
- **Inconvénient:** la durée t_{int1} peut atteindre 2 périodes d'horloge (resynchro brutale) => dynamique de l'interpolateur & temps mort.
 (réductible avec un autre synchroniseur [Gen 1]...)



$$T_{Hit} = (REG) \cdot T_{CK} - t_{int1}$$

Raccordement mesure grossière-mesure fine

- Utilisation de plusieurs compteurs avec des horloges décalées.



Deux compteurs travaillant chacun sur un front d'horloge, pas de synchronisation de l'événement. Un des deux compteurs est validé suivant la phase de l'évt (donnée par l'interpolateur) par rapport à ck [Mot 1].

Raccordement mesure grossière-mesure fine

dapnia

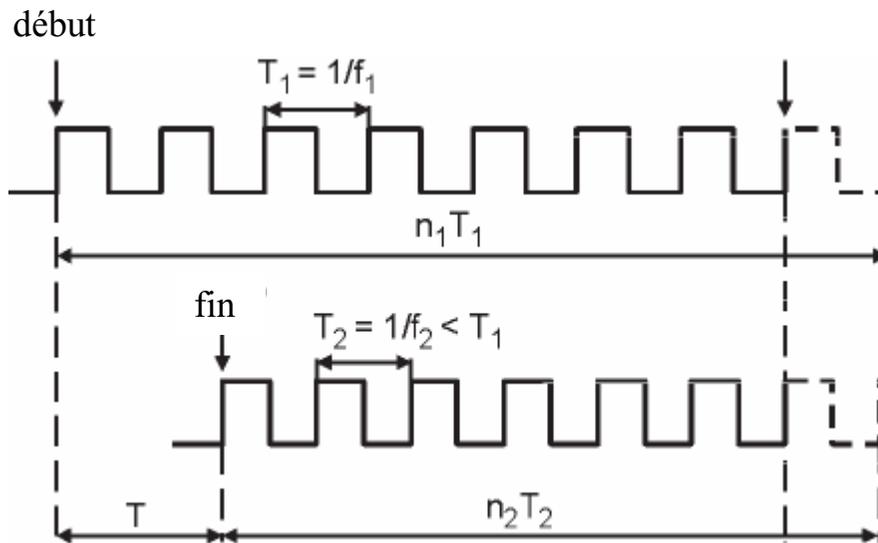
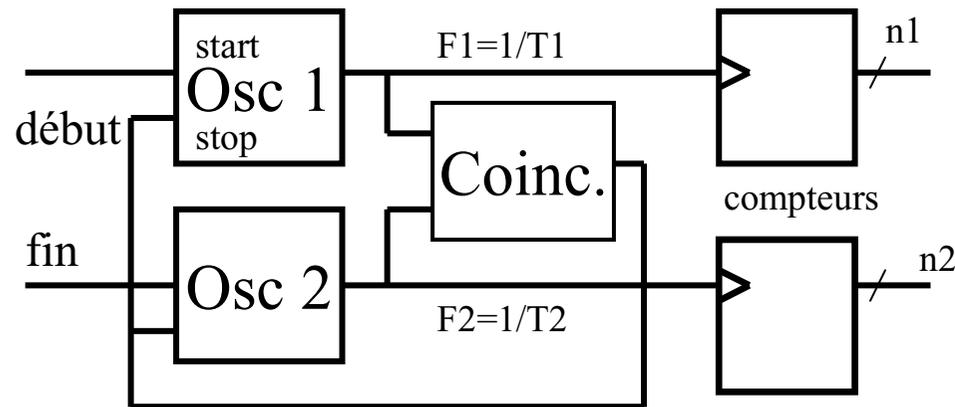


saclay

- Une solution équivalente [Man 2] ne met en jeu qu'un seul compteur. Le signal de mémorisation est obtenu par un dispositif de synchronisation capable de choisir le front d'horloge réalisant la première resynchro du hit en fonction de la phase du hit déterminée d'après l'interpolateur.
 - D'autres solutions utilisent une redondance entre le LSB du compteur et le contenu de l'interpolateur [Lac 1].
-
- **Dans ces 3 dernières solutions : l'interpolateur peut-être une information périodique (période= F_{ck}) que l'on échantillonne:**
 - **Avantage:** signal dérivé de l'horloge.
 - **Inconvénient:** consommation plus importante.

Mesures Fines: Méthode du vernier.

dapnia
CEA
saclay

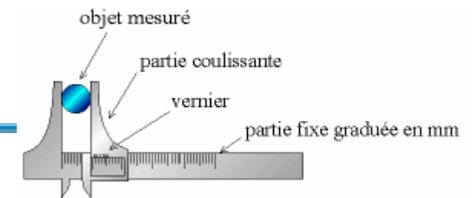


2 oscillateurs de fréquences légèrement différentes sont démarrés à un intervalle de temps T .

Les nombres de coups d'horloge $n1$ et $n2$ nécessaires pour que les deux horloges soient en phase permet de déterminer T avec une **résolution $T1-T2$**

$$T = (n1-1).T1 + (n2-1).(T2)$$

Méthode du vernier (fin)



dapnia



saclay

Si $T < T_1 \Rightarrow n_1 = n_2$ et $T = (n_2 - 1)(T_1 - T_2)$.

\Rightarrow Équivalent à une multiplication temporelle par $M = T_1 / (T_1 - T_2)$.

Temps de codage = $T * M$:

ex:

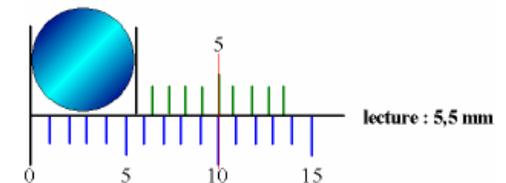
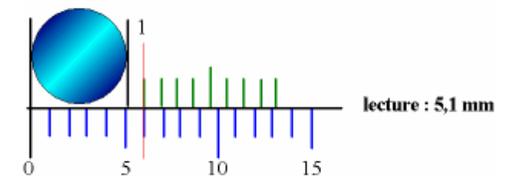
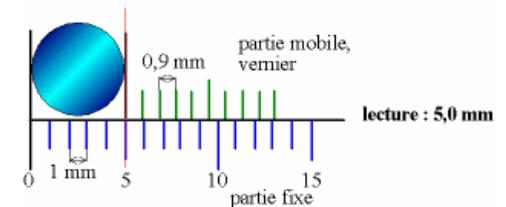
si $T_1 = 101 \text{ ns}$ $T_2 = 100 \text{ ns} \Rightarrow$ résolution = 1 ns

Pour coder $T = 100 \text{ ns}$, il faudra $100 T_2 = 10 \text{ us}$.

Avantage: - pas de logique rapide, faible conso

Limitations : - lenteur du codage, temps mort.
- difficulté de design des oscillateurs démarrables et stables.

En pratique peu utilisé tel quel dans les CI.





dapnia



saclay

Chronométrie fine analogique.

Mesures de Temps fines : Une méthode luxueuse ??

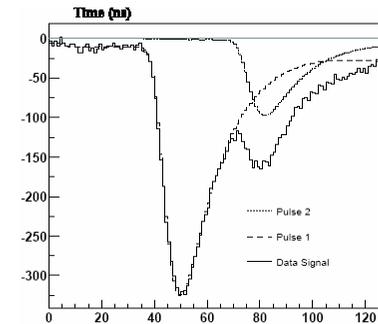
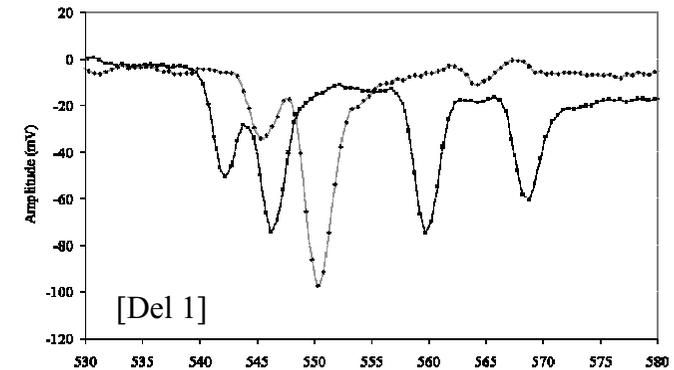
Échantillonner le signal analogique :

dapnia



saclay

- FIR adaptatif:
 - Multiple sampling LARG ATLAS [Cle 1]:
 - Resol < 500ps $F_s=40$ MHz, 12 bits.
 - ANTARES [Pay 1]:
 - Resol < 200ps $F_s=700$ MHz, 6 bits.
- Fit [Ber 1], [Del 1]
- Digital CFD [Bar 1] : resol ~ 100 ps $F_s=100$ MHz 12 bits



Très coûteux en Bande passante, ne se justifie que :

- ... si on dispose déjà de la forme onde.
- si la forme du signal est intéressante: PSD, algorithmes adaptatifs à la forme ou à l'amplitude.
- fort pile-up.
- si la forme des signaux varie avec l'amplitude...

Attention aux performances temporelles de l'ADC => Nbre de bits effectifs.

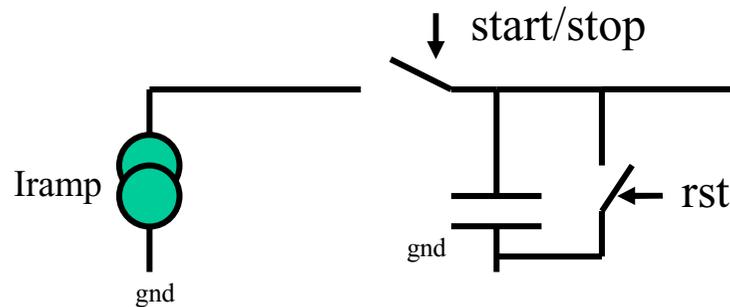
Mesure fine par générateur de rampe: le TAC

Dans sa version la plus simple: intégrateur à capacité commutée

dapnia

cea

saclay



Vers conversion analogique

$$V = 1/C \int_{t_{start}}^{t_{stop}} I_{ramp}.dt$$

Pas besoin d'horloge, idéal pour les designs purement analogiques
NLD naturellement bonne (si ADC bon).

Peu adapté à un design multicanaux

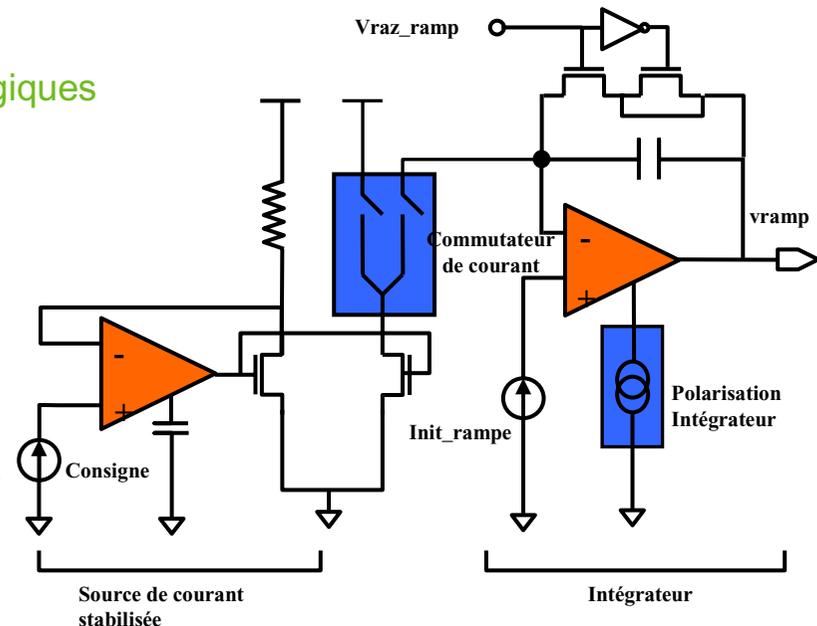
Dynamique en temps limitée par le bruit :

$$\langle \sigma_{vout} \rangle^2 = 1/C^2 [(A.Kf/T^2) + B.i_n^2/T] \quad [Lug 1]$$

=> fortes capa d'intégration.

Quelques points critiques du design:

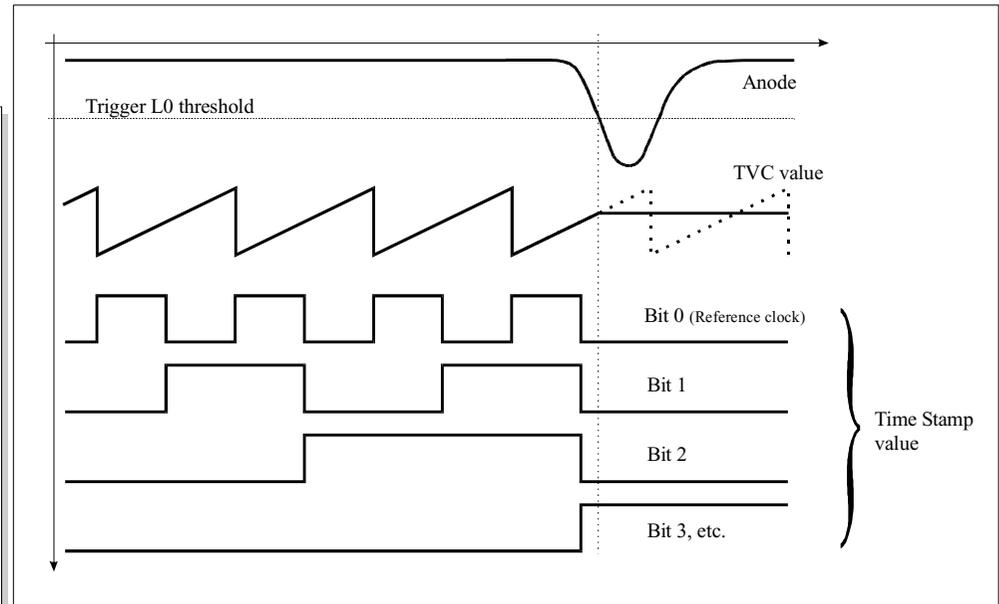
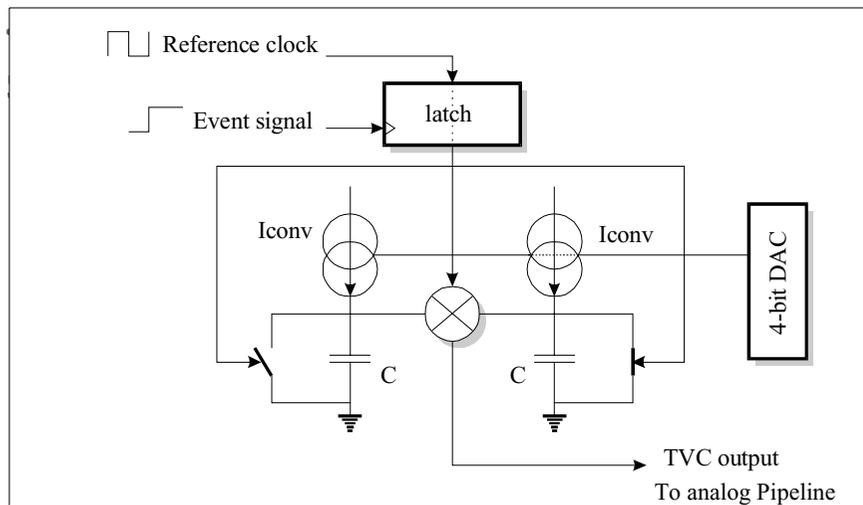
- linéarité en début de rampe=> switch de courant différentiel.
- charge injectée à l'arrêt=> dummy switches.
- linéarité => intégrateur actif.
- Variation avec process et T° sur la fonction de transfert => calibration ou asservissement.



TAC: Compléments.

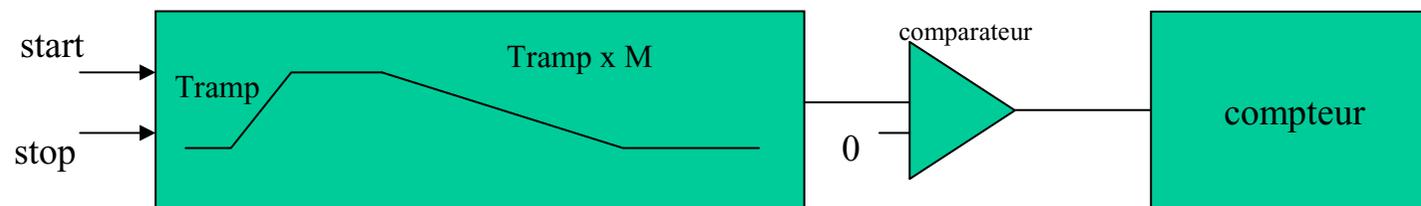
- Présente du temps mort par principe.
- Peut être limité par l'utilisation de deux intégrateurs fonctionnant en permanence + pipeline analogique [Lac 1]

dapnia



Principe du fonctionnement du TVC de l'ARS d'ANTARES

Si ADC de type Wilkinson => expenseur temporel



Le générateur de rampe, quelques exemples

dapnia



saclay

Chip	Techno	Architecture	Dynami que	LSB	Bruit (rms)	NLD	NLI
MATE [Bar 2]	AMS BiCMOS 0.8	Int Passif. Cswitch diff	600ns	?	100ps	?	<200ps
ARS1 [Lac 1] [Dru 1]	AMS CMOS 0.8	La + simple possible	50ns	200ps	200ps	<200ps	<500ps
MATACQ [Del 1]	AMS CMOS 0.8	Diff., Int. Actif., Cswitch diff.	20ns	12ps	<15ps	<20ps	<20ps
WILKY (en cours de design)	AMS CMOS 0.35	Int actif, Cswitch diff. Dummy switch	2us	500ps	200ps	<100ps	<300ps

Les designs les plus performants permettent d'atteindre des résolutions de l'ordre de 3ps avec 2 niveaux d'expansions temporelles



dapnia



saclay

Techniques numériques pour la Chronométrie fine

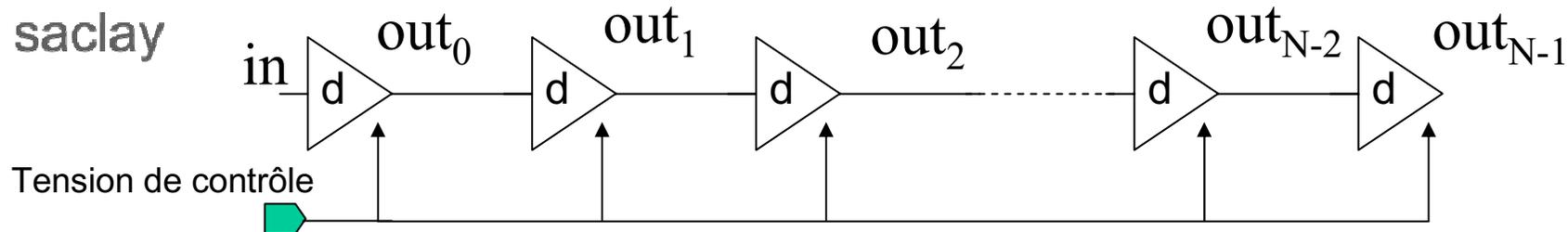
Systemes basés sur des chaînes de délais (CD)

dapnia



saclay

- La plupart des interpolateurs intégrés dans les TDCs modernes sont basés sur des chaînes de retards:
- Principe : le signal logique d'entrée est retardé par N retards élémentaires.
 - Actifs: en général un ou deux inverseurs cascades.
 - Ou passifs: réseau RC (à constante localisée ou répartie).



- Dans la quasi-totalité des cas, le retard élémentaire est réglable continûment (contrôle analogique) ou par pas discrets (contrôle digital).
- En général, la chaîne de retards est asservie pour assurer :
 - Une auto-calibration de l'ensemble indépendante des paramètres technologiques.
 - Une bonne stabilité en température ou avec les variations de tension d'alimentation.

=> Systemes très à la mode (1/4 des papiers de JSSC depuis 4 ans) utilisés pour la synchronisation des circuits logiques.

Types de chaînes de délais: la PLL

dapnia

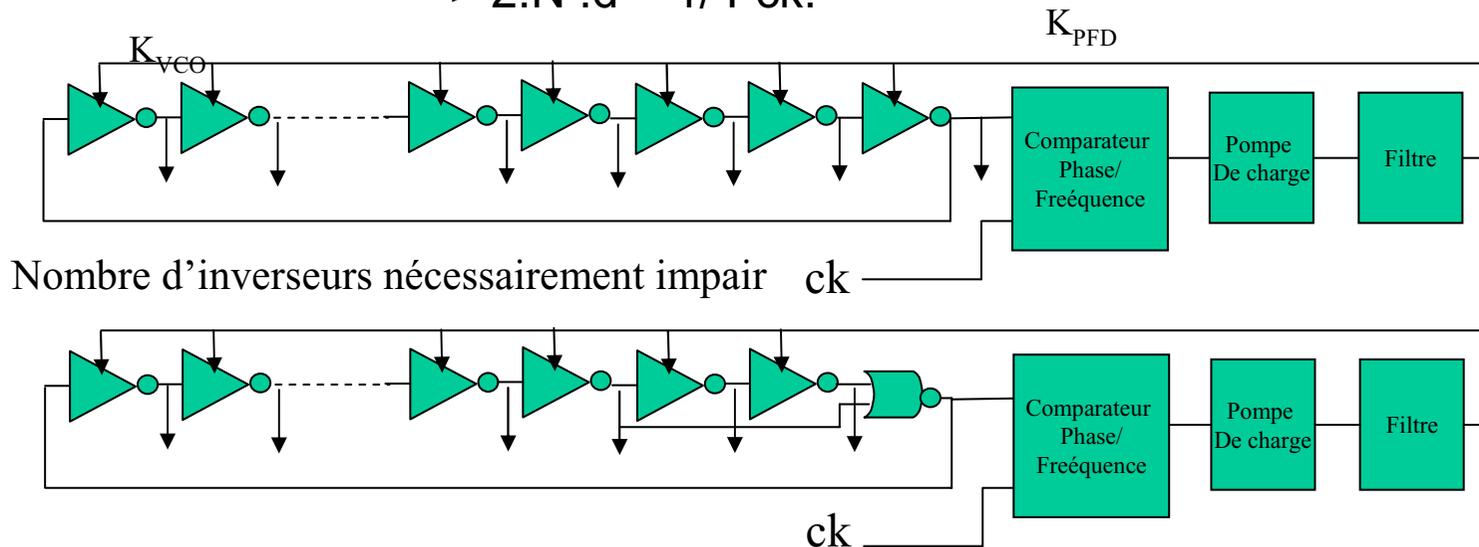


saclay

- 1. PLL (Phase locked Loop) à oscillateur en anneau:

- La fréquence de l'oscillateur est asservie

$$\Rightarrow 2.N .d = 1/ F_{ck}$$



Nombre d'inverseurs nécessairement impair ck

Nombre d'inverseurs impair, (une sortie sur deux est inversée) [Ara 1]

Nécessite un comparateur Phase/Fréquence.

Système au moins du deuxième ordre, nécessite un filtre passe-bas pour assurer sa stabilité .

BF:
$$H(s) = \frac{\frac{K_{PFD}}{s} \cdot \frac{K_{VCO}}{s}}{1 + \frac{K_{PFD}}{s} \cdot \frac{K_{VCO}}{s}} = \frac{K_{PFD}K_{VCO}}{s^2 + K_{PFD}K_{VCO}}$$

Types de chaînes de délais: la DLL

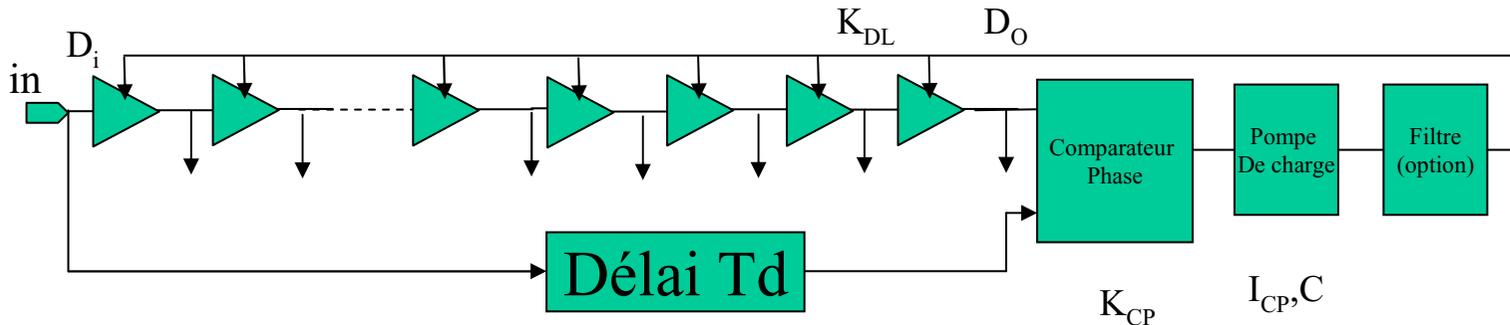
dapnia

cea

saclay

- 2. DLL (Delay Locked Loop)

- Le délai de la chaîne de retards est asservie à une durée fixe T_d
 $\Rightarrow N \cdot d = T_d$



Le système ne nécessite pas d'inversion de phase.

Le nombre de délais élémentaires peut-être quelconque.

Le signal de référence n'est pas nécessairement périodique:

\Rightarrow peut-être différent de l'horloge (mais attention aux fuites)

Le système est du premier ordre:

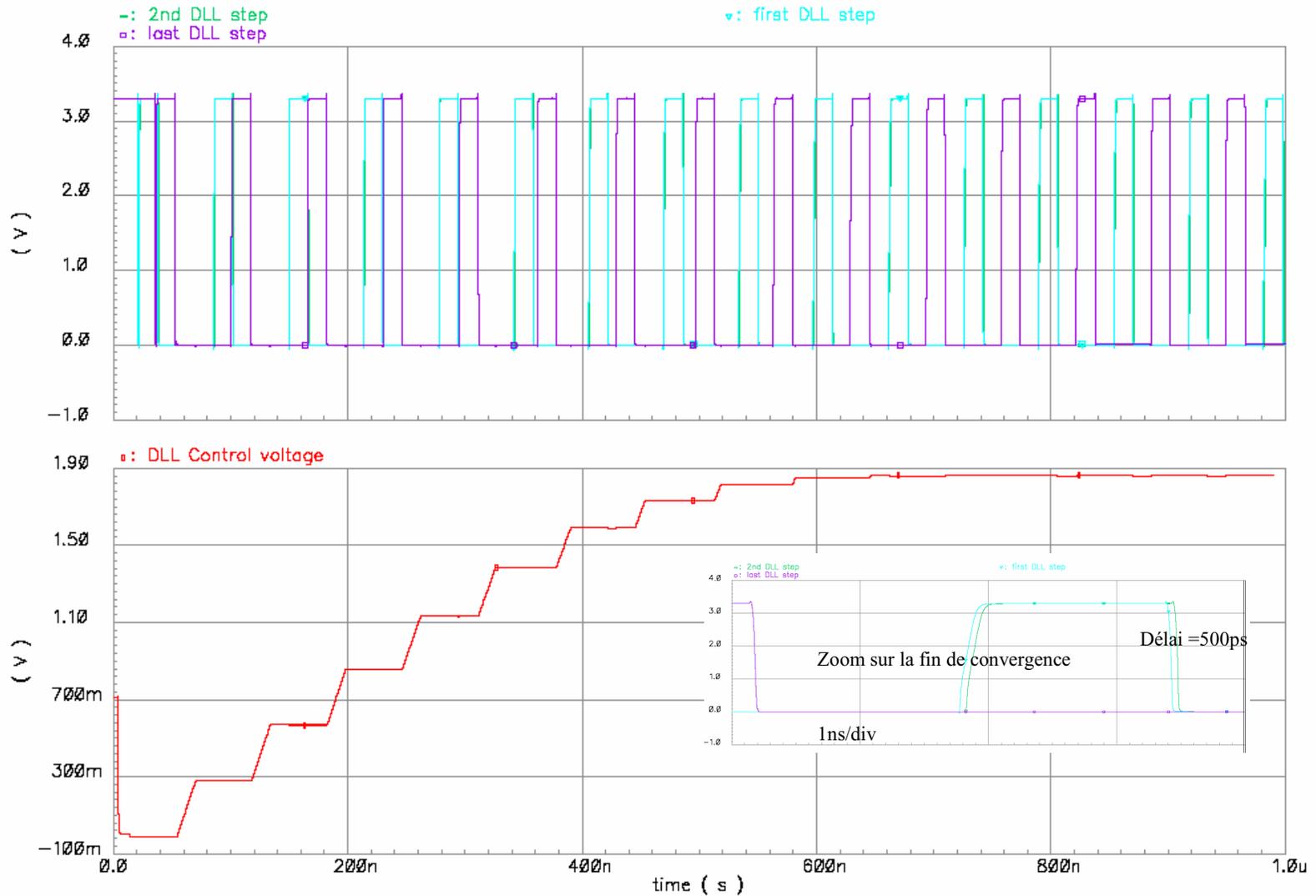
$$\text{BO: } \frac{D_O(s)}{D_I(s)} = K_{PD} \frac{1}{sC} I_{CP} K_{DL} F_{REF} = \frac{1}{s} K_{PD} K_F K_{DL}$$

$$\text{BF: } H(s) = \frac{D_O(s)}{D_I(s)} = \frac{K_{PD} K_F K_{DL}}{s + K_{PD} K_F K_{DL}}$$

\Rightarrow filtre après la pompe de charge non nécessaire.

DLL: exemple de convergence

dapnia
CEA
saclay



Types de chaînes de délais : la CD asservie numériq^t

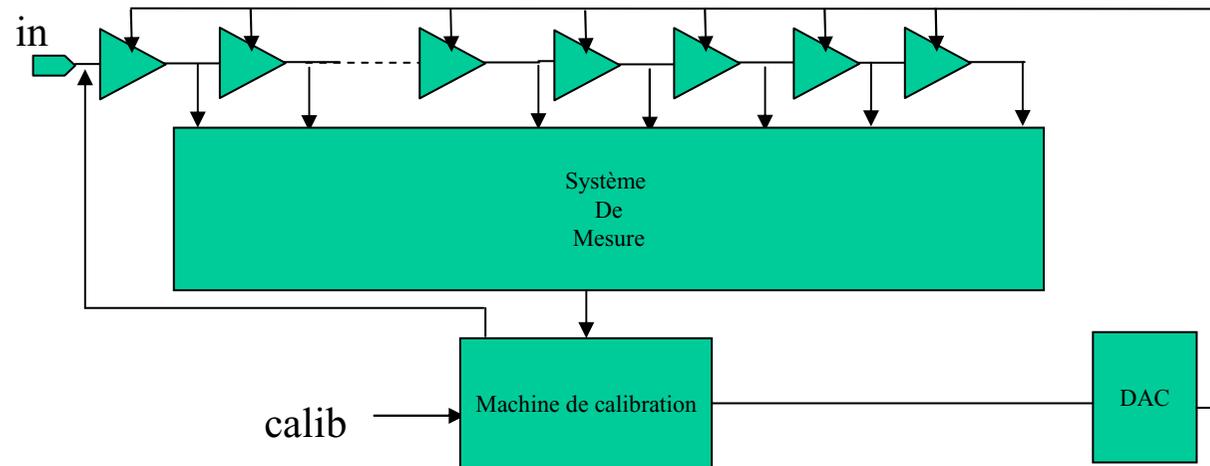
dapnia



saclay

- 3. Chaîne de délais asservie numériquement:

Le délai de la chaîne de retards est asservie à une durée fixe T_d par une machine d'état de calibration travaillant sur les résultats du système des mesures [Gen 1], [Mot 3]

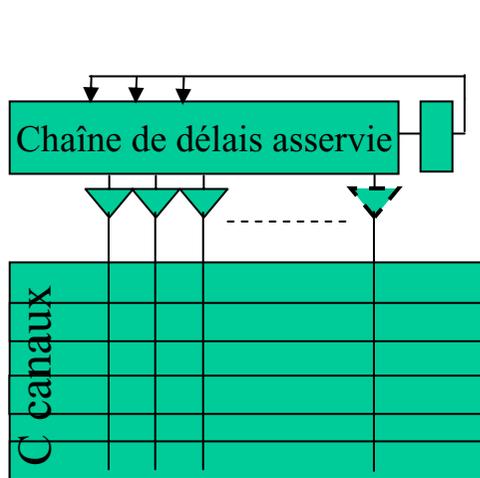


L'ensemble de la chaîne de mesure est dans la boucle.

Le rafraîchissement peut-être très peu fréquent (pas de fuite de capa)

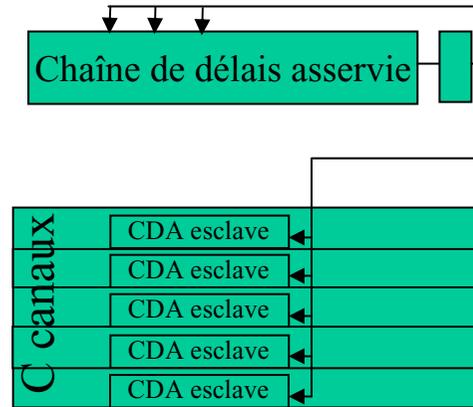
Contexte multicanaux: 3 stratégies:

dapnia
CEA
saclay



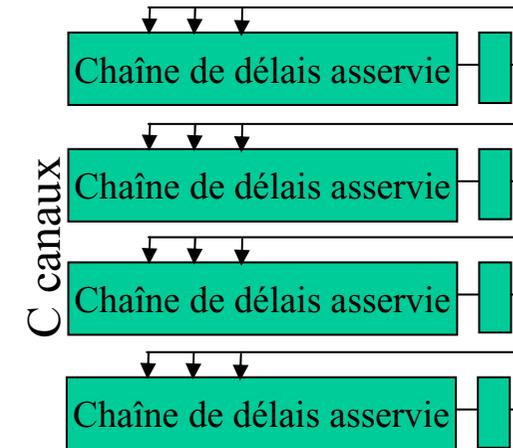
Sorties d'une CD asservie pilote
bufferisées vers les différents
canaux:

- ++ Synchronisme entre canaux.
- + NLD.
- + Compacité
- Consommation.
- Vitesse.
- ! Reproductibilité buffers + lignes



Une CD asservie maître fournit
la tension de contrôle à C CD
esclaves:

- ++ Conso, Vitesse.
- + Compacité
- NLD.
- Synchronisme
- ! Reproductibilité



Toutes les CD sont asservies:

- ++ Vitesse.
- + Conso
- ++NLD.
- ++ Reproductibilité
- Synchronisation
- ! Compacité comparateur de
phase + pompe de charge

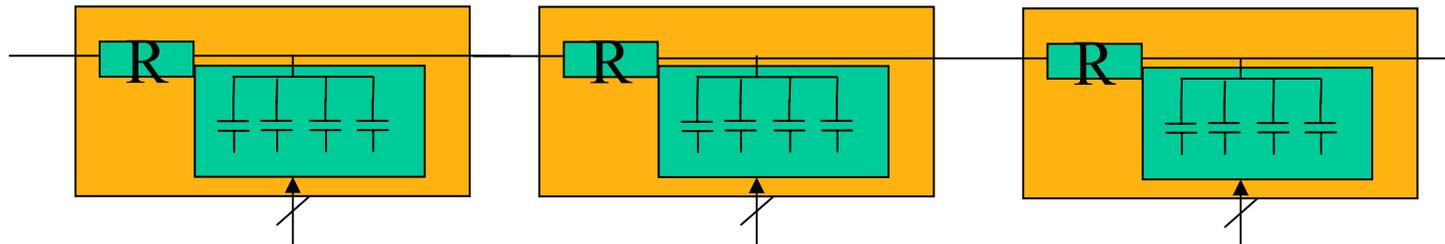
Zoologie des délais élémentaires: 2 grandes classes.

dapnia



saclay

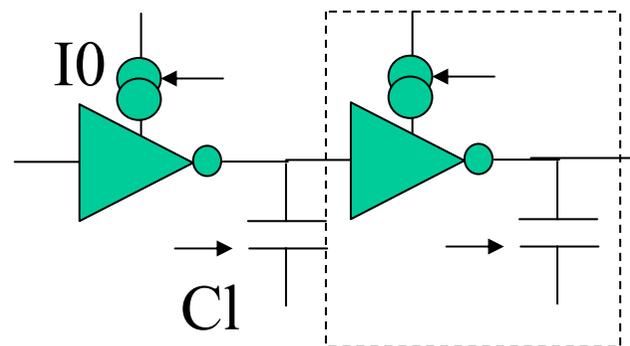
Délais passifs: réseaux RC à constantes localisées... ou réparties.
Capas ajustables ou réseau de capas commutables [Mot 2]:



- +: compact, **très petits délais réalisables**, conso nulle.
- : délais suivant l'équation des télégraphistes => non linéaire avec la position => un point de réglage par pas.
- : layout et extraction des R,C (répartis + interconnexions)

Délais actifs: en général un ou deux inverseurs cascades à courant ou charge contrôlés.

$$t_p = \alpha \cdot t_{\text{transition}} \\ = \beta(v_{dd}) \cdot v_{dd} \cdot C_1 / I_0$$



Si un seul inverseur utilisé: difficulté d'apparier les délais sur les 2 fronts.

L'inverseur « affamé »

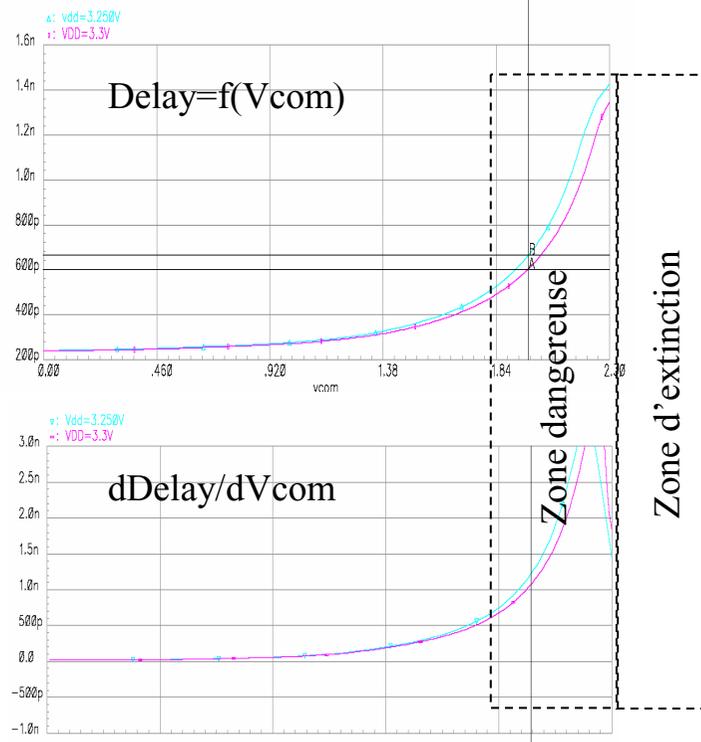
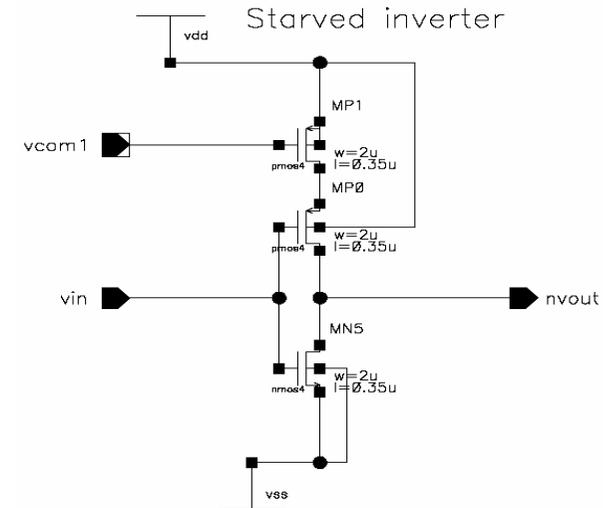
dapnia

cea

saclay

- MP1 limite le courant lors de la transition +.
 Au 1^{er} ordre (ultra-simplificateur car MP1 est aussi une résistance en début de commutation et MP0 et MN5 interviennent également).

$$t_p \propto t_r = 2 \cdot C_l \cdot V_{dd} \cdot \frac{L_{MP1}}{W_{MP1} \cdot K_{MP1} \cdot (V_{GS_{MP1}} - V_{TH})^2}$$



Plage de réglage très grande (facteur 7).

Très compact et très rapide

Conso indépendante de Vcom.

Fonction de transfert non linéaire=> !! Gain de boucle.

Zone à très forte dérivée: dangereuse (jitter), instabilité.

Zone où le pulse s'éteint=> risque de décrochage.

Sensibilité à Vdd identique à celle à Vcom

⇒ très mauvaise réjection (gain) du bruit des alims.

Délai réalisé uniquement sur la transition +.

L'inverseur « affamé »: améliorations

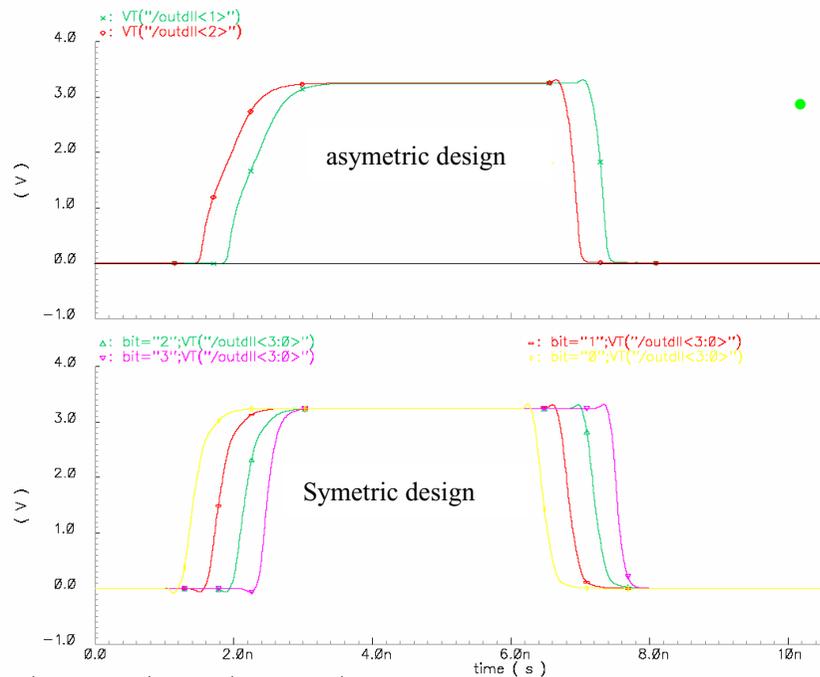
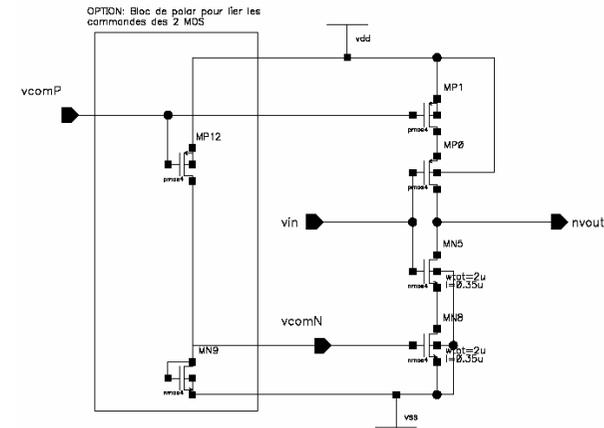
dapnia

cea

saclay

- Symétrisation. Le transistor N peut-être commandé indépendamment par une tension fixe, via le même asservissement que le P ou via un asservissement spécifique:

Désavantage : Système + lent.



• Avantages:

- Utilisation de l'inverseur comme délai élémentaire.
- Permet d'assurer que le pulse ne s'éteint pas (longue DLL).
- Permet d'utiliser la combinaison inverseur affamé-inverseur standard comme délai élémentaire.
- Meilleur Jitter.

L'inverseur « affamé »: améliorations

dapnia

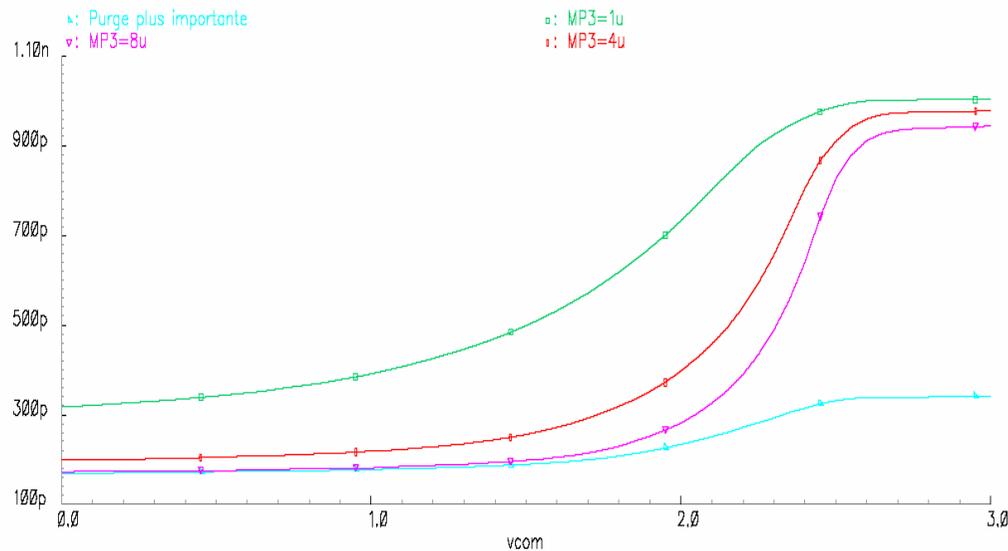
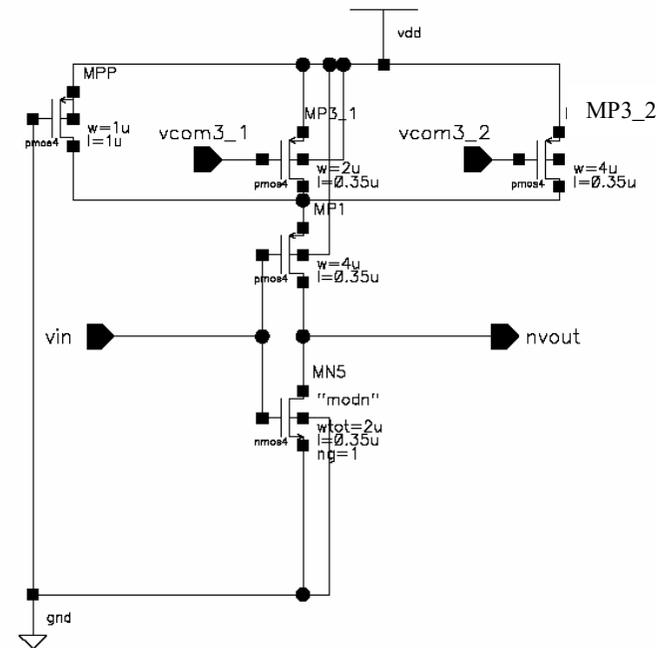


saclay

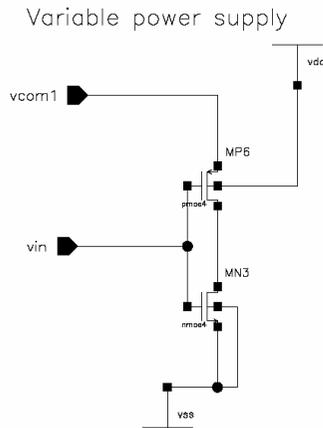
- Linéarisation et sécurisation [Mot 2]:
- une « purge » est rajoutée en parallèle à MP3.

Désavantage : ralentissement du système et limitation de gammes.

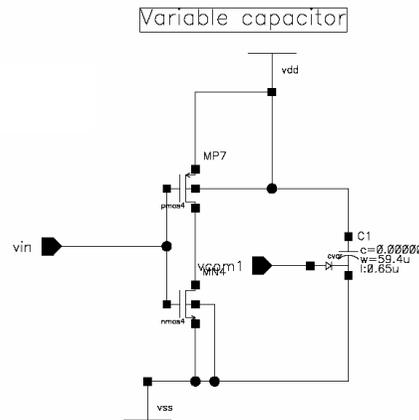
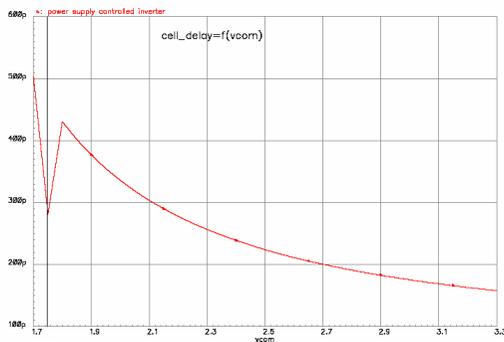
- mais, plusieurs MP1 commutables permettent d'adresser plusieurs gammes optimisées.



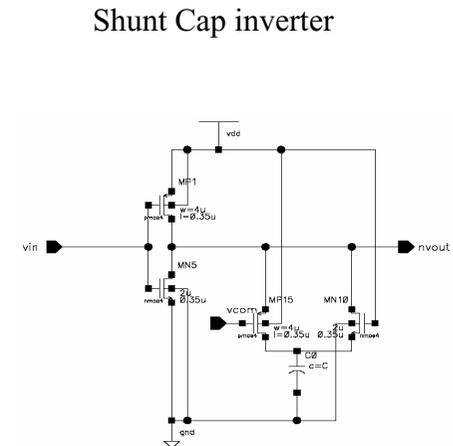
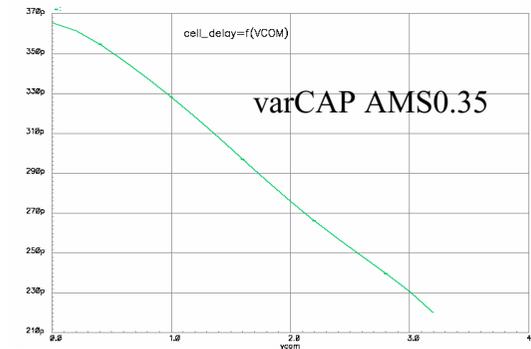
Délais élémentaires: autres designs



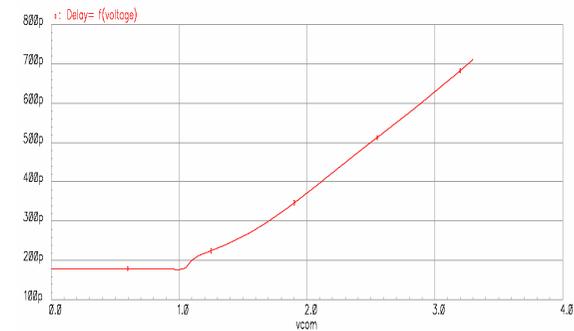
- + rapidité pour les technos à faible Vdd.
- + Compacité.
- + Conso diminue si délai augmente.
- Rétroaction à basse impédance.
- Remise en forme nécessaire



- + rapidité pour les technos à faible Vdd.
- Gamme limitée mais linéaire.
- Conso augmente quand délai augmente !!!



- + Conso fixe.
- + linéaire et sûr
- Gamme limitée.
- Taille



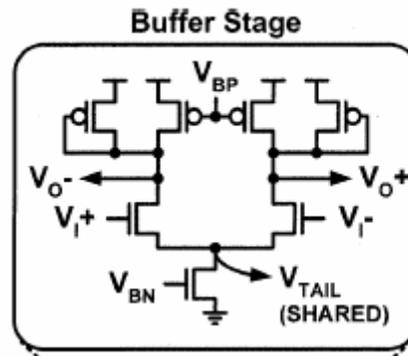
Les architectures différentielles

dapnia



saclay

- Permet d'améliorer la réjection aux parasites d'alimentation.
- Nécessite un comparateur de phase et une logique de stockage diff.
- Soit avec 2 lignes à retard standard.
- Soit avec des portes basées sur des paires différentielles [Man 1].



- + consommation constante \Rightarrow peu perturbant
- consommation statique.
- taille et complexité de la logique associée

Lignes à retard asservis: Quelques astuces.

dapnia



saclay

- Les différents buffers utilisés pour prélever le signal sur la ligne à retard font partie de la ligne à retard => bien les dimensionner.
- Limiter au max (et bien évaluer) les capa d'interconnexions.
- Attention aux effets de bord
 - => structures rebouclées [Ara 1].
 - => dummy éléments.

Attention à tout ce qui n'est pas compensé par la boucle : délais différentiels du comparateur de phase, skew d'horloge lié au routage....

- Alimenter la ligne à retard avec une alim indépendante.
- **Référencer la capa de la pompe de charge au bon potentiel.**

S'il n'y a qu'une chose à retenir:

La ligne à retard fiable à grande dynamique n'existe pas : si un design doit couvrir une grande dynamique, prévoir des éléments commutables suivant la gamme...

Chaînes de Délais Asservis: Jitter

- Le Jitter provient majoritairement de 4 sources :

dapnia – Du Jitter du signal de référence (composante HF effacée pour une PLL).

– Du Jitter du comparateur de phase.



– D'un problème de stabilité de l'asservissement.

– Du Jitter de la ligne à retard, lui même dû à trois sources.

saclay

- Lié au bruit des éléments de retard (ultra-minoritaire).
- Lié au bruit HF sur les alimentations: Inversement proportionnel à dV/dT
=> il faut conserver les fronts les plus raides possible.
- Lié au bruit sur la tension de commande: Proportionnel à $d(\text{delay})/d(v_{\text{com}})$
=> Éviter les zones à forte dérivée, bien découpler la tension

- Le jitter Max est obtenu en bout de chaîne $\sigma_{\text{dlytot}} = N^{1/2} \sigma_{\text{dlyel}}$.

=> limite la longueur de la chaîne.

- Un délai élémentaire composé d'un inverseur lent (σ_l) et d'un rapide (σ_r) a un jitter:

$$\sigma_1 = \sigma_l \oplus \sigma_r$$

- Le même délai composé de deux inverseurs intermédiaires (σ_m) aura un jitter :

$$\sigma_2 = \sqrt{2} \cdot \sigma_m = \sigma_l / \sqrt{2} \text{ qui est plus petit....}$$

⇒ Milite pour l'inverseur symétrique.

⇒ Pour faire un gros délai, préférer la mise en série de délais courts.

Chaînes de Délais Asservis: Non linéarités.

dapnia



saclay

- Modulation des délais par des signaux logiques dans le chip (en particulier par l'horloge).
- Modulation du signal à chronométrer par l'horloge.
- Problème de raccordement de gammes.
- Non linéarité différentielle due aux mismatches entre délais :
 - La valeur du délai élémentaire suit une distribution gaussienne de variance (σ_d) [Rah 1], [Pel 1].
 - Dans l'hypothèse où c'est essentiellement MP3 (W_3, L_3) qui fixe le délai et que la charge est essentiellement celle liée à l'inverseur suivant (MN_5, MP_0) (W_i, L_i)

$$\left(\frac{\sigma_d}{d}\right)^2 = \left(\frac{\sigma_K}{K}\right)^2 + \left(\frac{2 \cdot \sigma_{V_{TH}}}{V_{GS} - V_{TH}}\right)^2 + \left(\frac{\sigma_{C_L}}{C_L}\right)^2 = \frac{A}{\sqrt{W_3 \cdot L_3}} + \frac{B}{(V_{GS} - V_{TH})^2 \sqrt{W_3 \cdot L_3}} + \frac{C}{\sqrt{W_i \cdot L_i}}$$

Amélioration en augmentant $V_{GS} - V_{TH}$ et la surface des transistors.

Bien maîtriser la capa de charge (minimiser les parasites)

Ne pas hésiter à faire une analyse de MC.

- La probabilité d'avoir une NLD $< \varepsilon$. σ_d pour une chaîne de N délais est alors donnée par :

$$P(\varepsilon) = (\text{erf}(\varepsilon))^N$$

Chaînes de Délais Asservis: Non linéarités.

dapnia



saclay

- Pour la NLI, 2 cas se présentent
 - Le délai total n'est pas asservi (chaînes esclaves).
 - La dispersion de délai total pour chaque pas j est définie par:

$$\sigma_j = \sqrt{j} \cdot \sigma_d \text{ et est maximale pour le dernier pas.}$$

- Le délai total est asservi: la dispersion est alors définie par [Kub 1]:

$$\sigma_j = \sqrt{\frac{j \cdot (N - j)}{N}} \cdot \sigma_d \text{ qui est maximale au milieu de la chaîne} = 0.5 \cdot \sqrt{j} \cdot \sigma_d$$

La probabilité d'avoir une $NLI < \varepsilon \cdot \sigma_d$ pour une chaîne de N délais est alors donnée par :

- $P(\varepsilon) = \Pi(\text{erf}(\varepsilon \cdot \sigma_j / \sigma_d)) ^ N$

En pratique, il est difficile d'avoir une $NLI < 1$ LSB pour $N > 64$.

=> limite la longueur de la chaîne.

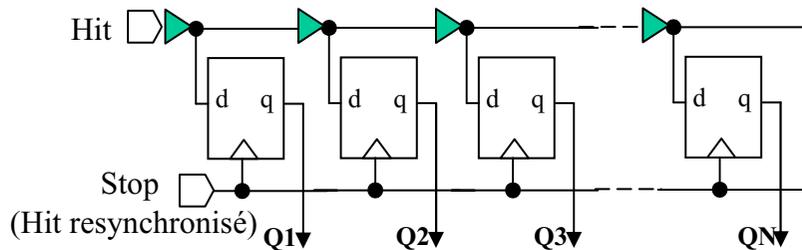
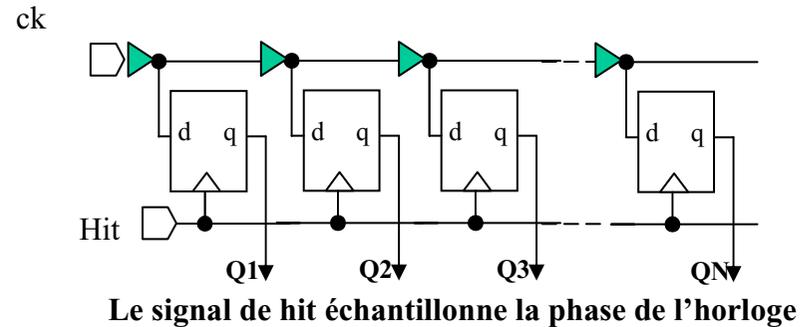
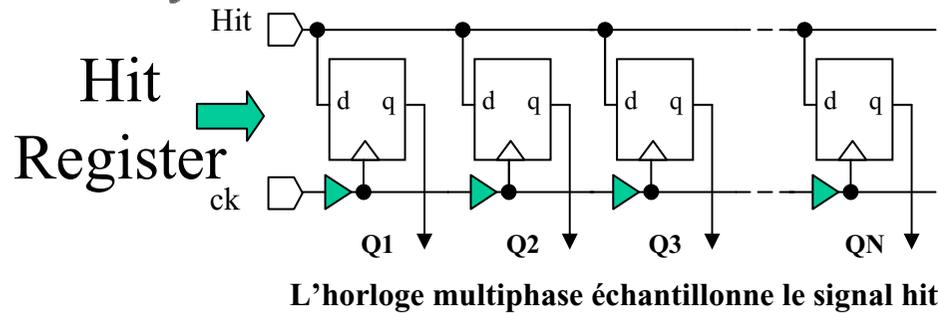
Utilisation des chaînes de délais pour la mesure du temps

dapnia • 1. **Fabrication d'une horloge multipliée par N**: combinaison logique des sorties. [Rev 1]



• 2. **Utilisation comme interpolateur** : 3 grands types d'utilisations:

saclay



Méthode de Nutt: hit resynchronisé échantillonne le signal hit retardé **préférées aux DFF.**

Les incertitudes temporelles des bascules interviennent dans la mesure de temps => **en général, les bascules RS, plus rapides, mieux équilibrées et moins sujettes à la métastabilité sont préférées aux DFF.**

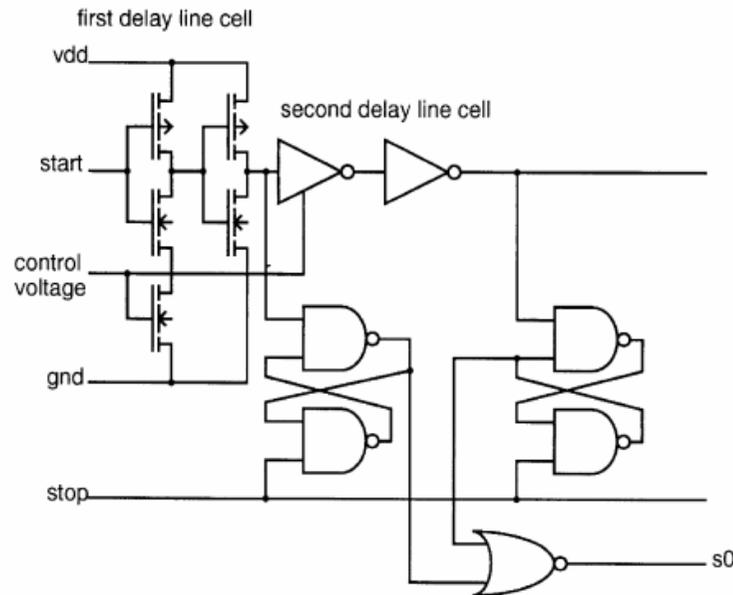
Mémorisation, encodage et resynchro

dapnia



saclav

- Encodage de la position d'une transition 0->1 ou 1->0 (similaire à celui d'un FLASH-ADC).
- Pour design très rapide, l'encodage doit être insensible à la métastabilité => tolérant aux erreurs de bulle



2 cellules consécutives de DLL, mémorisation+ préencodage.
(DLL du TDC du DIRC de BABAR du LPNHE [Gen 1])

- Sortie du registre asynchrone de ck => nécessité d'un étage de resynchro. (avant ou après l'encodage).
- Cette resynchro est cruciale dans un système à temps mort limité ou plusieurs hit registers sont utilisés cycliquement pour le même canal.

Les comparateurs de phase.

dapnia



saclay

- Fonction : fournir les tensions de commande de la pompe de charge pilotant la tension de contrôle en fonction du déphasage des deux signaux d'entrée.
- Un grand nombre d'architectures existe => en général machines à états asynchrones.
- **Certains ne fonctionnent:**
 - que sur des signaux périodiques,
 - que sur des signaux de rapport cyclique 0.5
 - ...
- Pour une utilisation dans une architecture type PLL, le comparateur doit également réaliser la comparaison de fréquences.
- **Les problèmes classiques:**
 - Zone morte => jitter.
 - Plusieurs points de fonctionnement => logique supplémentaire.
- 2 principaux types de comparateurs de phase sont utilisés dans les TDC

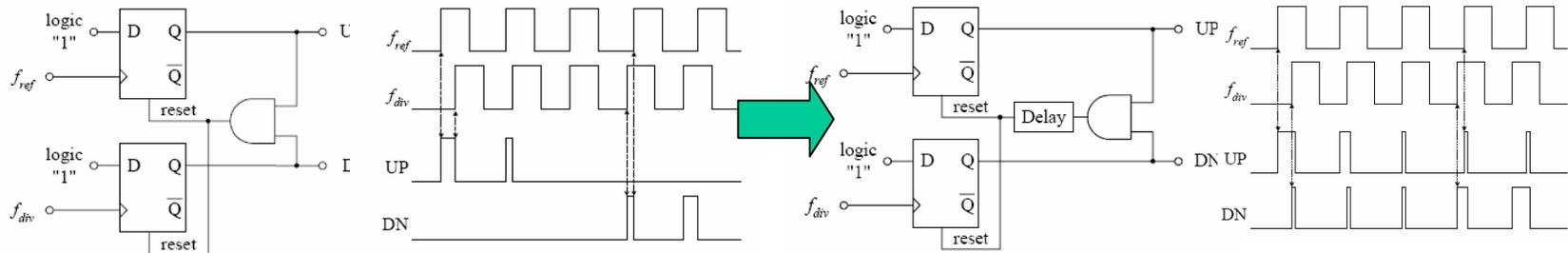
Les comparateurs « linéaires »

dapnia



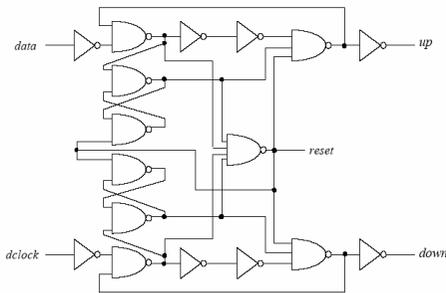
saclay

Ils délivrent des impulsions de durées proportionnelles au déphasage des deux signaux => convergence rapide.

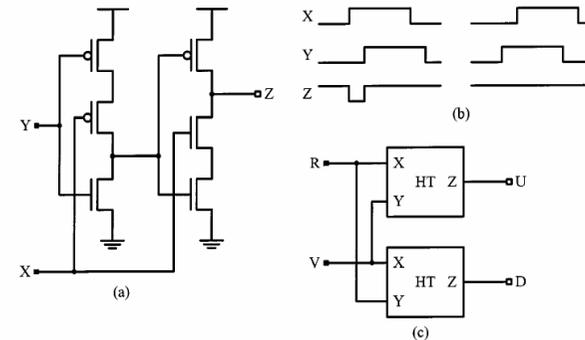


Version de base

Version « sans zone morte »



Réalisation pratique



Basé sur des registres « semi » transparents.

[Yang 1]

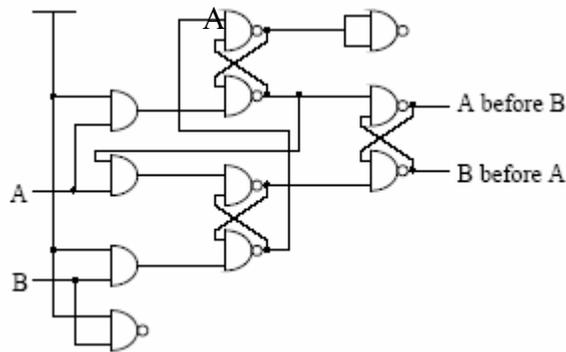
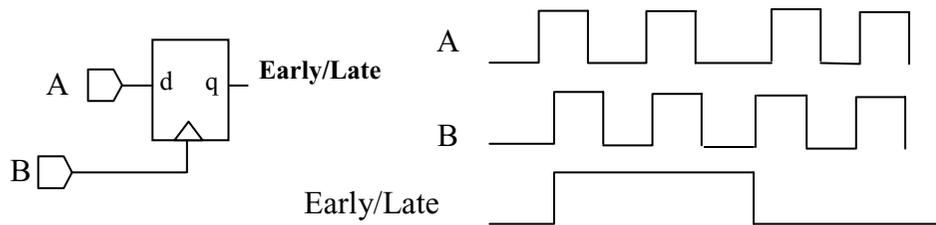
Les comparateurs de phase « Bang-Bang »

dapnia

cea

saclay

- Très populaires car très simples [Mot 1,2,3] : une simple bascule D suffit !!!
Très utilisés dans les PLLs des liens Gigabits.



Une réalisation pratique [Mot 2]: La bascule D est réalisée avec des bascules RS => des « dummies » structures sont ajoutées pour symétriser les bascules.

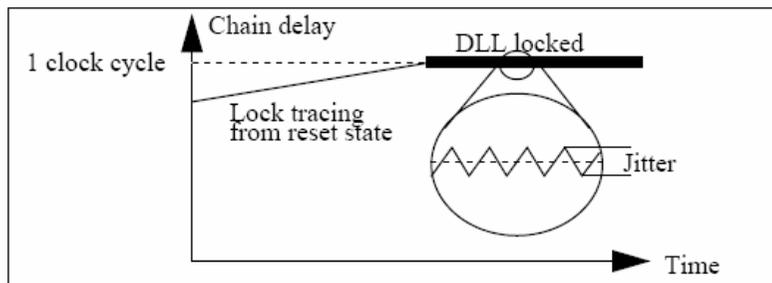


Fig. 3 : Closed loop behaviour of bang-bang configuration.

Inconvénients:

Ne fonctionne que pour des signaux périodiques.

A l'équilibre: oscillation entre deux points de fonctionnement => Jitter.

Pour le minimiser => Pas petit => **convergence longue.**

Les Pompes de charge.

dapnia

cea

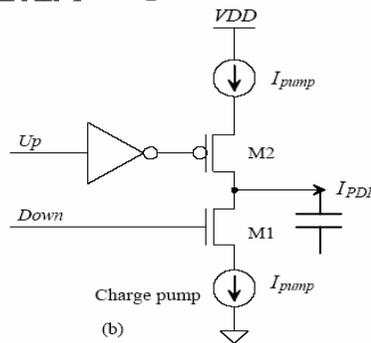
saclav

Délivrent une tension s'incrémentant (ou se décrémentant) par pas suivant l'état d'une commande Up ou de deux commandes Up et Down.

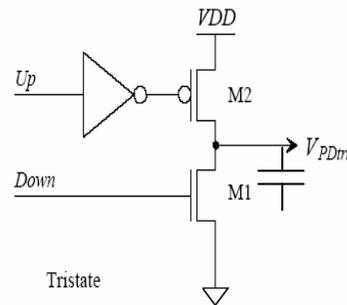
Les schémas les plus populaires sont basés sur des sources de courants commutées chargeant une capa durant les durées des pulses Up et Down

=> Le pas est proportionnel à la durée des pulses de commande.

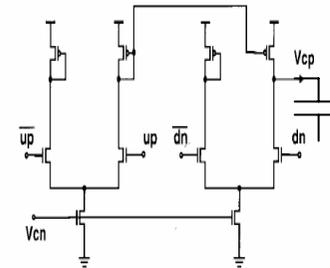
=> plus la capa d'intégration est grande: moins le système est sensible aux perturbations et aux charges injectées (mais convergence + lente à courant constant).



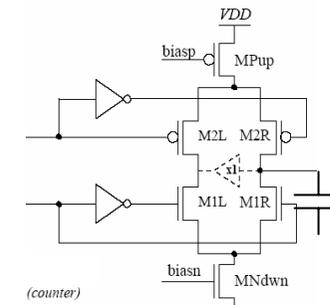
Version standard



Version simplifiée,
Moins linéaire.



Version différentielle
Charges injectées minimisées



Autre version diff

Quelques trucs:

- Choisir la bonne référence de tension pour la capa ainsi qu'un système de RAZ
- La sortie de la pompe de charge peut éventuellement être bufferisée (offset compensé par la boucle) ou filtrée (attention à la stabilité).

Peut-être remplacée par un DAC possédant éventuellement des entrées Up et Down:

- pas de fuite.
- système de contre-réaction numérique

Démarrage, remise à zéro...

dapnia



saclay

- Attention à l'état initial lors de l'allumage =>
 - Les horloges sont-elles présentes ?
 - Y-a-t-il un risque de divergence de la boucle?
 - Pour une DLL -> initialiser aux temps de propagation les + rapides.
- Sur le chip prévoir une entrée inhibition/forçage de la boucle et/ou une remise à zéro à accès rapide, pour les cas où il y a décrochage.
- Que se passe-t-il si l'horloge est manquante ?
- Utilité du système de détection d'accrochage ?

Interpolations d'ordres supérieurs (1).

dapnia

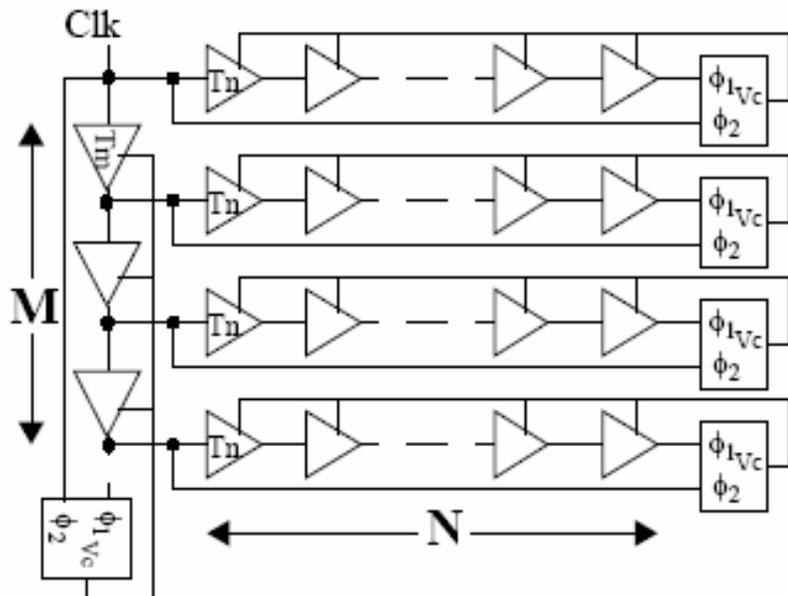


saclay

- Limite des systèmes à DLL: temps de propagation des inverseurs T_n
 \Rightarrow 100ps pour $0.25\mu\text{m}$ pour un inverseur chargé.

Pour générer l'horloge multiphase, on utilise donc une DLL de M pas dont les F 1ères sorties servent de références à autant de DLL de N pas (HRTDC) [Mot 1] avec:

$$M = \frac{1}{1+F} N \Rightarrow T_m = (1+F)T_n$$



- Dans le réseau de DLL on retrouve alors (dans le désordre) l'horloge avec tous les déphasages possibles de multiples de T_n/F .
- Ces horloges sont utilisables comme horloge multiphase (attention au décodage).
 \Rightarrow amélioration de la résolution par un facteur F .
 Dans [Mot 1] $M=28, N=35, F=4 \Rightarrow T_n=89\text{ps}$.

- Avantage : **DLL moins longues, moins de jitter (et de NLD ?)**
- Inconvénient : 2 asservissements imbriqués.

N.F horloges bufferisées propagées dans le chip : puissance élevée.

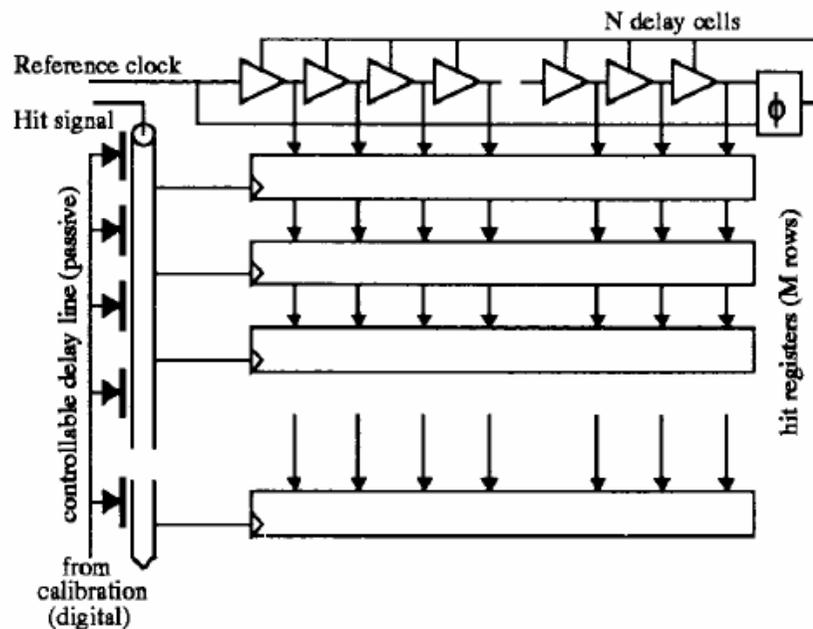
Interpolations d'ordres supérieurs (2).

dapnia



saclav

- Plutôt que de générer N.F délais sur l'horloge, le signal d'événement est retardé dans une ligne à retard de F pas de délai élémentaire N/F [Mot2]. Ces F signaux échantillonnent l'état de l'horloge multiphase => puis décodage.
- Les F délais sont réalisés avec des délais RC passifs [Mot2].
- Calibrés « automatiquement » par mesure statistique.



- Dans HPTDC [Mot3] $N=16, F=4$ et $LSB=25ps$.
- Cette architecture est modulaire et permet de passer facilement de 1 canal de $LSB = T/N.F$ à F canaux de $LSB = T/N$.

Inconvénient : nombre de registres

Des résultats comparables sont obtenus avec une triple interpolation et moins de registres [Man 3]



dapnia



saclay

Méthodes de caractérisation et de calibration

TDC: Méthodes de caractérisation/ calibration.

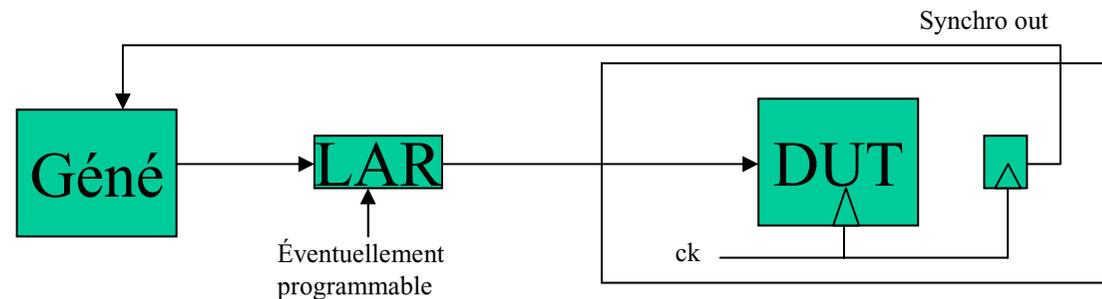
dapnia



saclay

- Permettent de caractériser et éventuellement de calibrer le dispositif et éventuellement de corriger la NLI.

- 1. **Test avec Pulse synchrone.**



Pulse synchrone de l'horloge retardé pas par pas. Pour chaque point N mesures sont réalisées. Permet :

- Mesure de la fonction de transfert, de la NLI.
- De la NLD si pas \ll pas du TDC.
- Jitter du TDC si le jitter du système de test est suffisamment faible.
- Seul moyen de déterminer l'offset.
- Peut-être intégré [Gen 1] pour servir à la calibration:
 - Ajustement de Gain et d'offset.

TDC: Méthodes de caractérisation/ calibration.

dapnia

cea

saclay

- 2. **Densité statistique de codes: ne nécessite pas de moyens performants :**
 Un pulse aléatoire ou simplement asynchrone de l'horloge est envoyé au TDC
 => On histogramme le résultat.
 Si la statistique M est suffisante, la distribution doit être uniforme entre deux valeurs TDCmin et TDCmax avec une valeur moyenne M.
 TDCmax-TDCmin correspond à une période d'horloge=> fonction de transfert.

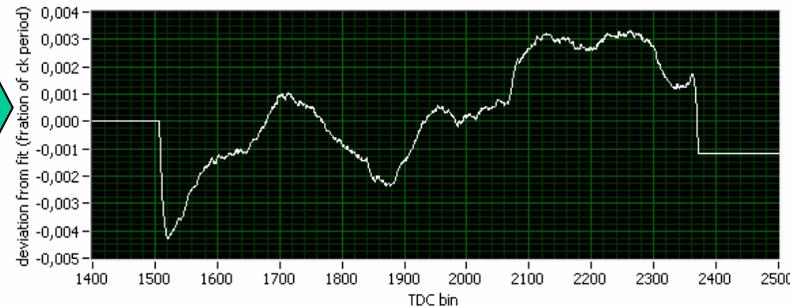
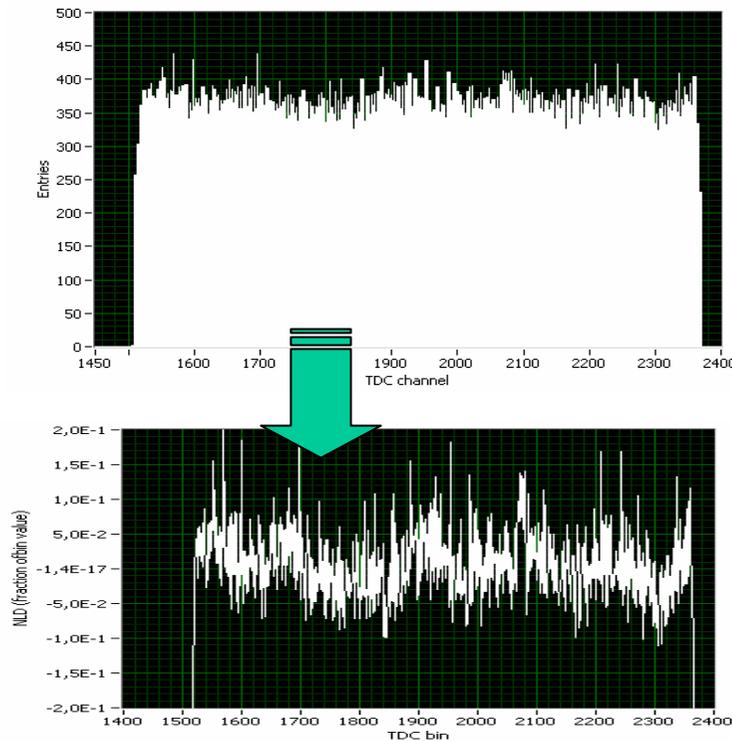
La NLD est directement obtenue par :

$$NLD_i = \frac{Ni - M}{M}$$

LA NLI est calculée en intégrant la NLD

$$NLI_j = \sum_{i=0}^{i=j} NLD_i$$

Cette méthode est utilisée on-chip pour l'autocalibration de [Mot 2]



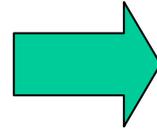
D'autres utilisations des DLLs, PLLs dans nos applications.

dapnia

CEA

saclay

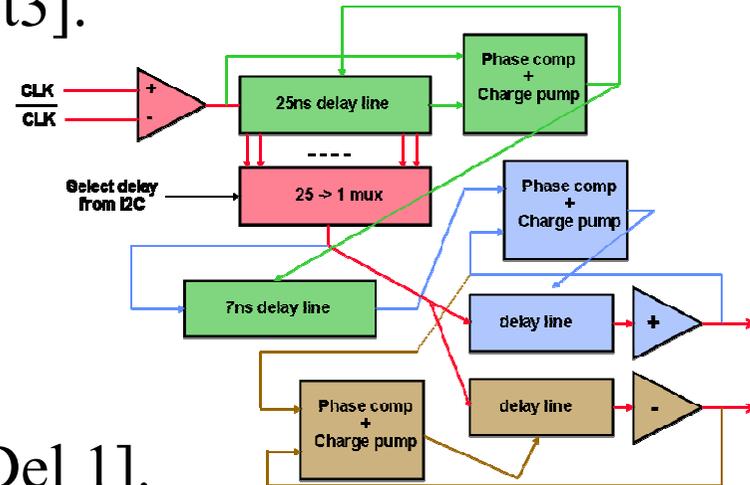
Deskewing de ck et data.
Clock & Data Recovery.



Applications principales

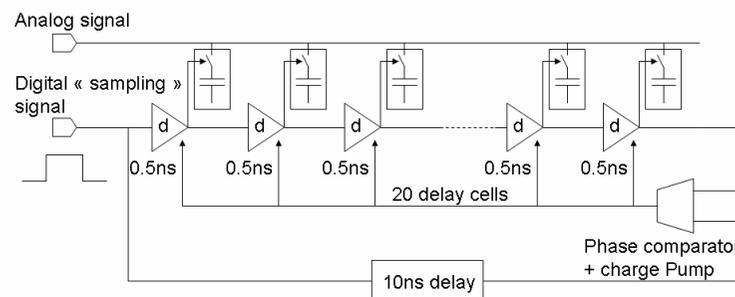
Multiplication de fréquence [Mot3].

Retards programmables [Bre 1]



Synoptique du delay-chip du calo de LHCb

DLL échantillonneuse [Lac 1],[Del 1].



Principe de la DLL échantillonneuse

Conclusion et Perspectives

dapnia



saclay

- TACs analogiques marginalisés mais quelques niches subsistent:
 - Faibles conso.
 - Faibles perturbation.
- Résolution des TDCs numériques actuels atteignent ~20ps (trop bon pour la plupart des applications).
- Limites actuelles des TDCs numériques:
 - Conso ~10mW/ch.
 - Intégration 32ch/chip.
 - Chips distincts du FE.

- Perspectives, améliorations :
 - Diminution de la conso.
 - Intégration avec le FE.
 - Augmentation de l'intégration

Des TDCs subnanos intégrés sur des pixels-chips (65000 ch/chips) ?
=> Proposition TIMEPIX [Cam 1]

Etat de l'art (très partiel)

dapnia



saclay

Nom Chip	Ref	Techno	Fck (MHz)	Dynamique	LSB	Résol double pulse	Nb ch/chip	Pw/mW canal	interpolateur	Longueur DLL	Erreur
AMT	[Ara 1]	CMOS 0.3	40MHz *2	?	780ps	10ns	24		PLL multiphase ck	16	305ps rms
MATACQ	[Del 1]	AMS0.8	100	6.5ms	12ps	Non	1	3 +ADC	TAC déclenché		<50ps rms
	[Dud 1]	0.7 CMOS	260	4ns	30		2		Vernier DLL	128	20ps
TDC F1	[F1]		40	3.9µs	60or120ps	5ns	4,8,32	110	Ck Multiphase DLL ??	??	50ps ??
TDC DIRC BABAR	[Gen 1]	ATMEL-ES2 0.8µm	59.5	32 µs	500ps	32ns	16	12.5	DLL esclaves,Nutt	32	150ps to 350ps rms (*)
AMS110	[Her 1]	AMS 0.8 BiCMOS	500 (PLL 16*31)	2µs	125ps		4	330	PLL multiphase ck	8	75ps rms
	[Knot]	NPN 25GHz	4000	16ns	15.6ps		1	5700	PLL		22ps pp
ARS	[Lac 1]	AMS0.8	20		200ps	150 ns	1	?	TAC continu		<500ps rms
	[Man 1]	0.6 CMOS	66	496µs	30ps		10	5	3 stages DLL	16+18+11	29ps rms
HRTDC	[Mot 1]	CMOS0.7	80	3.2µs	89ps		4	200	2 stages Multiphase CKDLL	35 + 28	34.3ps rms
	[Mot 2]	CMOS 0.7	160		48.8ps		2	110	Ck Multiphase DLL + RC	16+ 8RC	21.5 ps rms
HPTDC	[Mot 3]	CMOS 0.25	320 (int PLL *8)	12.8µs	24ps		8		Ck Multiphase DLL + RC	32+4RC	22 ps rms

(*) critère de rejet sur la production



dapnia



saclay

Bibliographie

Biblio

dapnia

cea

saclay

- [Ara 1] Y. Arai and M. Ikeno, "A Time Digitizer CMOS Gate-Array with a 250 ps Time Resolution", IEEE Journal of Solid-State Circuits, Vol. 31, No.2, Feb. 1996, p.212-220.
- [Bar 1] L. Bardelli et al « Time measurements by means of digital sampling... », NIM A A 521 (2004) 480–492
- [Bar 2] P. Baron et al, « MATE, A SINGLE FRONT END ASIC FOR SILICON STRIP, SI(LI) AND CSI DETECTORS » DAPNIA-03-271, Oct 2004 . Presented at IEEE 2003 /NSS Portland, Oregon, 19-24 Oct 2003.
- [Ber 1] P. Bertin et al. DVCS/E00-110 experiment : Final Readiness Report.
- [Cam 1] M. Campbell et al. « The detection of single electrons by means of a Micromegas-covered MediPix2 pixel CMOS », submitted to NIM, www.nikhef.nl/pub/services/biblio/preprints/04-017.pdf
- [Cle 1] W. Cleland, »Signal Processing considerations for liquid ionization... » NIM A 338 (1994)
- [Del 1] E. Delagnes et al, « Very High Dynamic Range and High Sampling Rate VME Digitizing Boards for Physics Experiments », accepted for publication in IEEE/TNS
- [Dru 1] F. Druilole et al, « THE ANALOG RING SAMPLER: AN ASIC FOR THE FRONT-END ELECTRONICS OF THE ANTARES NEUTRINO TELESCOPE », IEEE Trans.Nucl.Sci.49:1122-1129,2002
- [Dud 1] P. Dudek « A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line », IEEE TSSC, VOL. 35, NO. 2, FEBRUARY 2000.
- [F1] TDC F1 fonctionnal description www.acam.de
- [Fis 1] P. Fischer « An area efficient 128 channel counter », Nucl. Instr. Meth. A378 (1996) 297-300
- [Gen 1] J.F. Genat et al. « A 16-channel digital TDC chip », NIM A 433 (1999) 432-437
- C. Hervé C and Torki 2002 A 75 ps rms time resolution BiCMOS time to digital converter optimised for high rate imaging detectors NIM A 481 566–74 (2002)
- [John 1] Johnson, « A variable Delay Line PLL... » 1988, IEEE JSSC 23,n°5, p1218-1223
- [Kub 1] S. Kuboki, « NonLinearity Analysis of Resistor Strings A/D converters », IEEE,TCS Vol29,n°6,june 82
- [Lac 1] D. Lachartre « ARS1 Analogue Sampler », User Manual. Antares/Elecl/2000-6
- [Man 1] MANEATIS et al.: « SELF-BIASED HIGH-BANDWIDTH LOW-JITTER 1–4096 MULTIPLIER CLOCK GENERATOR PLL » IEEE JSSC, VOL. 38, NO. 11, NOV 2003
- [Man 2] A. MÄNTYNIEMI « AN INTEGRATED CMOS HIGH PRECISION TIME-TO-DIGITAL CONVERTER BASED ON STABILISED THREE-STAGE DELAY LINE INTERPOLATION » dissertation, university of Oulu (2004)
- [Mot 1] M. Mota et al., "A four channel, self-calibrating, high resolution TDC, Proceedings of the 5th IEEE International Conference on Electronics, Circuits and Systems (ICECS'98), Lisbon, sept 98.
- [Mot 2] M. Mota, J. Christiansen, « A High-Resolution Time Interpolator Based on a DLL and a RC Delay Line », IEEE JSSC, vol 34,n°10,oct99.
- [Mot 3] M. Mota, J. Christiansen « A flexible multi-channel high-resolution Time-to-Digital Converter ASIC »
- [Pas 1] M. Passaseo, E. Petrolo, S. Veneziano; A TDC integrated circuit for drift chamber readout. Nuclear Instruments Methods Phys. Res. A 367 (1995) 418-421
- [Pay 1] P. Payre « Reconstruction des photoelectrons par un algorithme linéaire », Note interne CPPM,1996
- [Pel 1] M. Pelgrom, « Matching Properties of MOS transistors », IEEE JSSC vol24,n°5, oct 89.
- [Rah 1] T. Rahkonen and J. Kostamovaara, "The use of stabilized CMOS delay line for the digitization of short time intervals," IEEE J. Solid-State Circuits, vol. 28, pp. 887–894, Aug. 1993.
- [Räi 1] Räisänen-Ruotsalainen E, Rahkonen T & Kostamovaara J (2000) An integrated time-to-digital converter with 30-ps single-shot precision. IEEE JSSC, 35(10): 1507-1510.
- [Yan 1] C-Y Yang et al « A One-Wire Approach for Skew-Compensating Clock Distribution Based on Bidirectional Techniques » IEEE JSSC, VOL. 36, NO. 2, FEBRUARY 2001