

# Upgrade du système de déclenchement électromagnétique d'ATLAS

---

- Un nouveau système de déclenchement électromagnétique.
- Etat d'avancement prototypes
- Ressources, Calendrier, Demandes

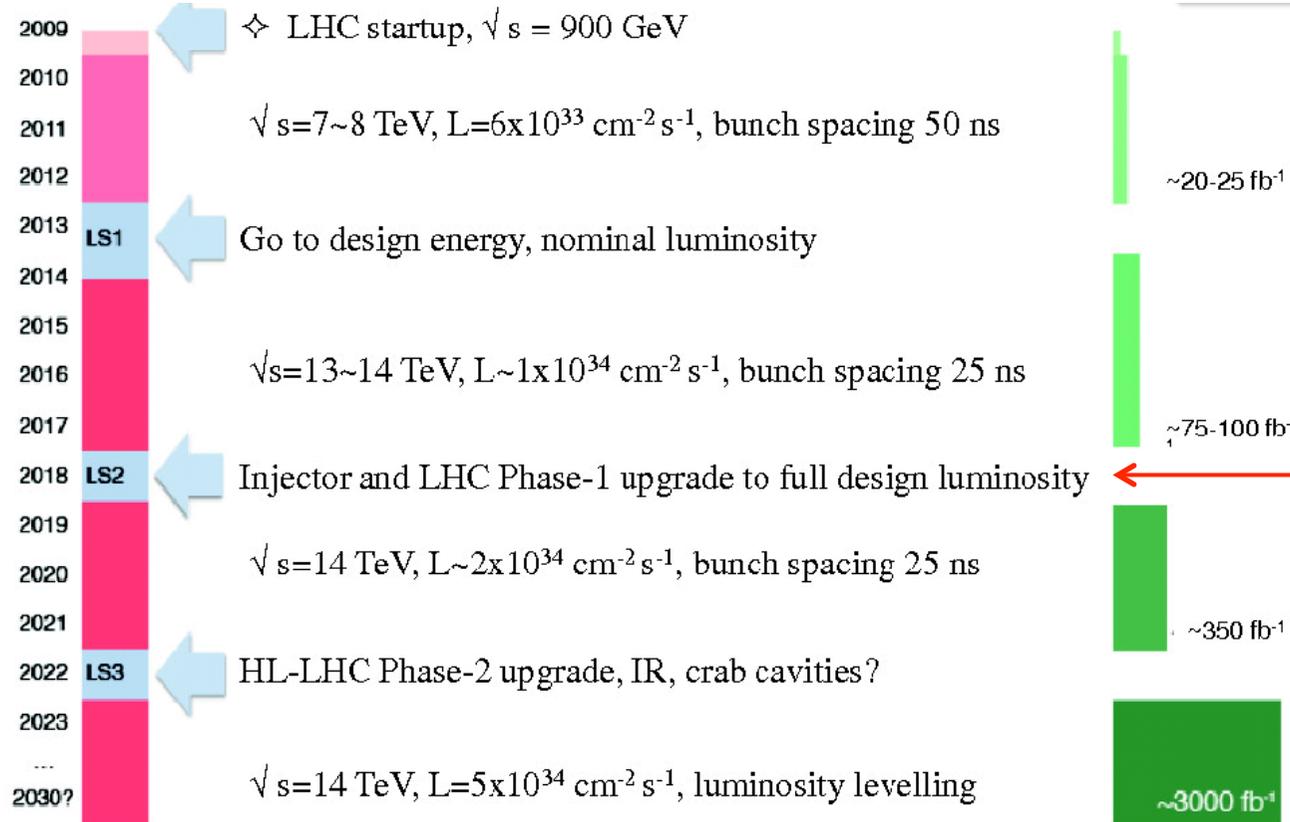
F. Deliot, H. Deschamps, F. Louis, B. Mansoulié, Ph. Schwemling\*, E. Zonca

D. Besin, D. Desforge, D. Jourde

A.I. Etienvre, R. Kukla

Part of the work presented here is funded by the P2IO LabEx (ANR-10-LABX-0038) in the framework « Investissements d'avenir » (ANR-11-IDEX-0003-01) managed by the French National Research Agency <sup>1</sup>  
\* et Université Paris Diderot-Paris 7

# Planning LHC



- Programme approuvé par CERN
- Publication par ATLAS d'une Letter of Intent en mars 2012
- Technical Design Report soumis 09/2013

# Motivations physiques

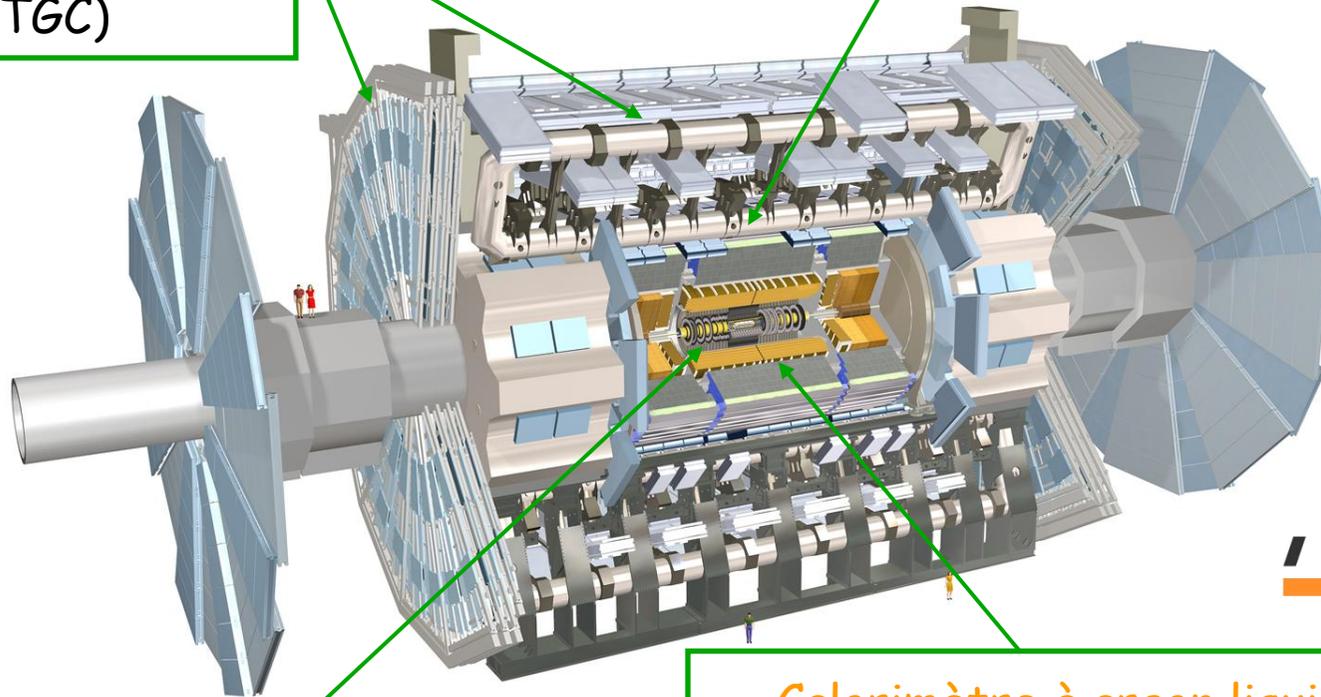
---

- Accumuler 300 fb<sup>-1</sup> à 13 TeV en quelques années pour
- Etude détaillée des propriétés du boson de Higgs
- Etude fine des propriétés du quark top
  - Test de cohérence du Modèle Standard
  - Recherche de physique nouvelle dans le secteur du quark top
- Dibosons
- Recherche de particules nouvelles
- ...
- Voir les détails dans la présentation de Claude Guyot

# Le détecteur ATLAS

Spectromètre à muons  
1 + 2 aimants toroïdaux  
Chambre (CSC-MDT-  
RPC-TGC)

Calorimètre hadronique à tuiles  
Fer - scintillateurs



**IN2P3**

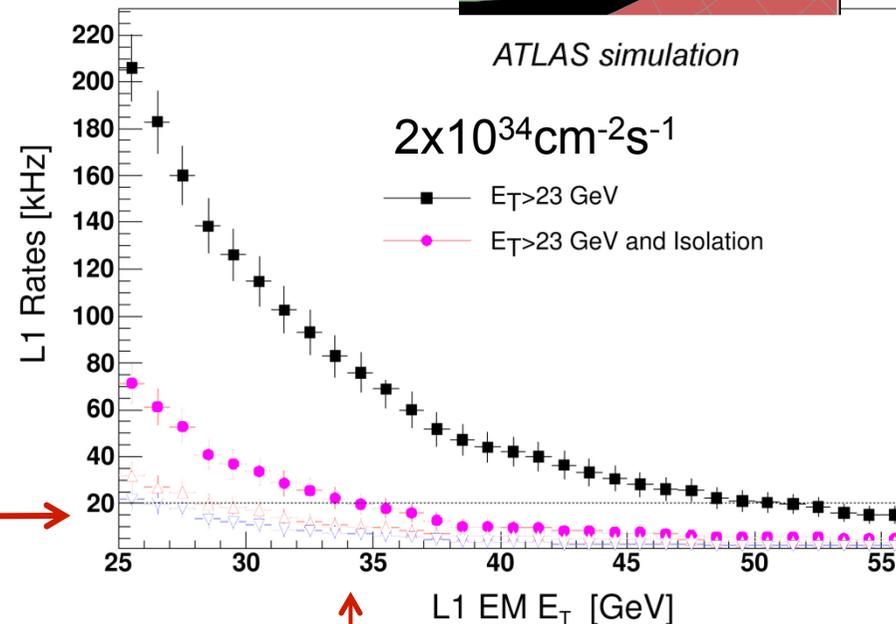
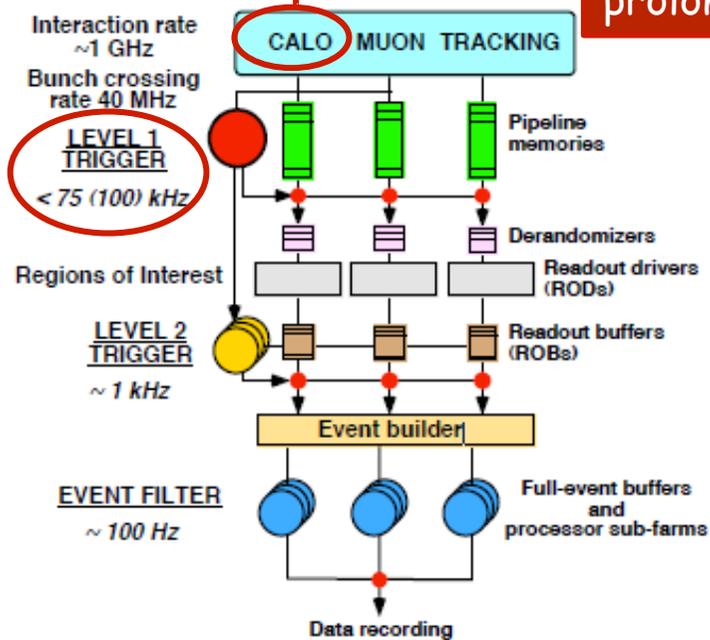
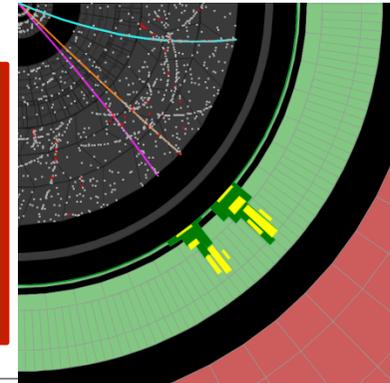
Détecteur de traces  
Pixels silicium + micropistes silicium  
Détecteur à pailles avec mélange Xe/CO<sub>2</sub>  
Aimant solénoïdal 2T

Calorimètre à argon liquide (LAr)  
EM (accordéon) : Plomb / Argon  
Hadronique : Cuivre / Argon  
Calo. avant : Cuivre - Tungstène/Argon

# Pourquoi un upgrade du trigger calorimétrique ?

- Préserver les capacités de déclenchement sur électron/photon de bas  $p_T$ :
  - Mesure du secteur du Higgs ( $\gamma\gamma/4l$ ) , physique impliquant des bosons vecteurs (W/Z aussi utiles à calibration)...

20kHz dédiés aux objets EM:  
 • Somme des 4 couches selon des tours de taille  $\delta\eta \times \delta\phi = 0.1 \times 0.1$ .  
 • Veto sur dépôt hadronique dans prolongement (isolation).



# Comment faire mieux ?

Déclenchement actuel (TBB, analogique)  
 $\Delta\eta \times \Delta\phi = 0.1 \times 0.1$



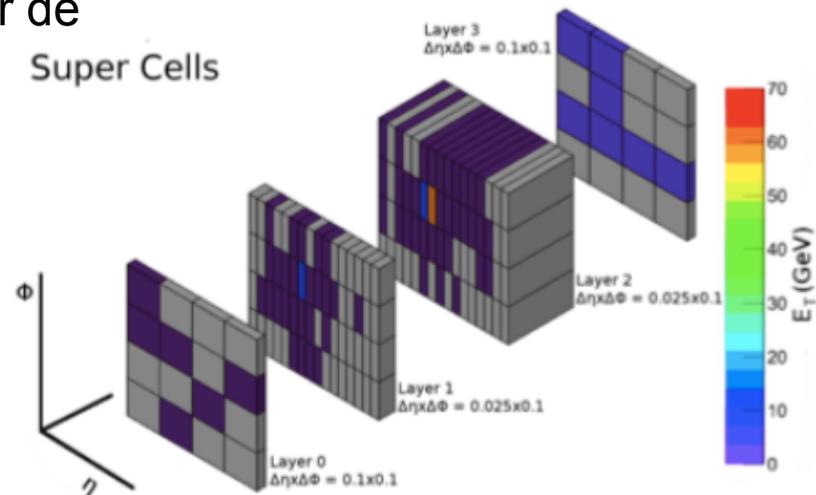
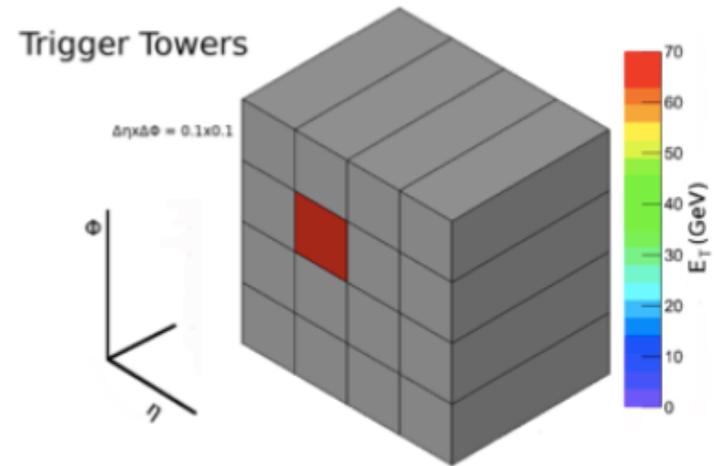
Phase I (et II) : 10 Super-cellules par tour de déclenchement, granularité « 1-4-4-1 »

Plus d'information disponible :

- Granularité améliorée
- Information longitudinale
- Amélioration sur la précision de

l'énergie hadronique utile à l'isolation:

- Bit significatif: 1 GeV  $\rightarrow$  0.25 GeV

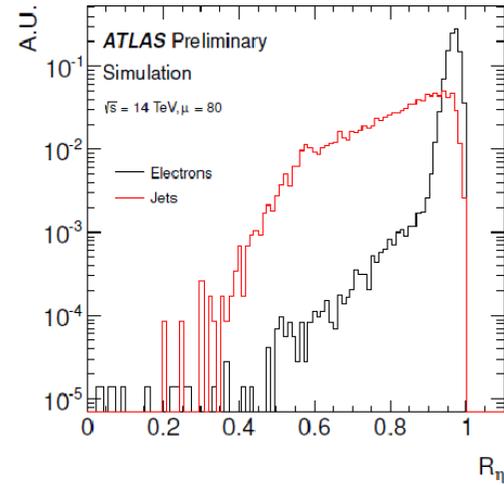


# Nouvelles variables discriminantes (séparation e/jets)

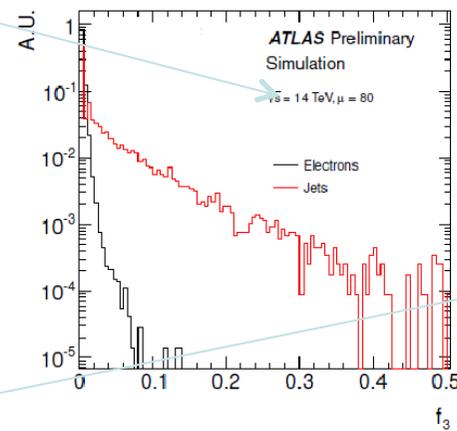
$$R_\eta = \frac{E_{T, \Delta\eta \times \Delta\phi = 0.075 \times 0.2}^{(2)}}{E_{T, \Delta\eta \times \Delta\phi = 0.175 \times 0.2}^{(2)}}$$

$$f_3 = \frac{E_{T, \Delta\eta \times \Delta\phi = 0.2 \times 0.2}^{(3)}}{E_{T, \Delta\eta \times \Delta\phi = 0.075 \times 0.2}^{(1)} + E_{T, \Delta\eta \times \Delta\phi = 0.075 \times 0.2}^{(2)} + E_{T, \Delta\eta \times \Delta\phi = 0.2 \times 0.2}^{(3)}}$$

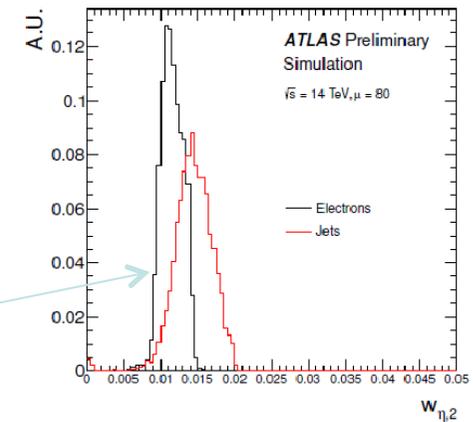
$$w_{\eta,2} = \sqrt{\frac{\sum (E_T^{(2)} \times \eta^2)_{\Delta\eta \times \Delta\phi = 0.075 \times 0.2}}{E_{T, \Delta\eta \times \Delta\phi = 0.075 \times 0.2}^{(2)}} - \left( \frac{\sum (E_T^{(2)} \times \eta)_{\Delta\eta \times \Delta\phi = 0.075 \times 0.2}}{E_{T, \Delta\eta \times \Delta\phi = 0.075 \times 0.2}^{(2)}} \right)^2}$$



(a)

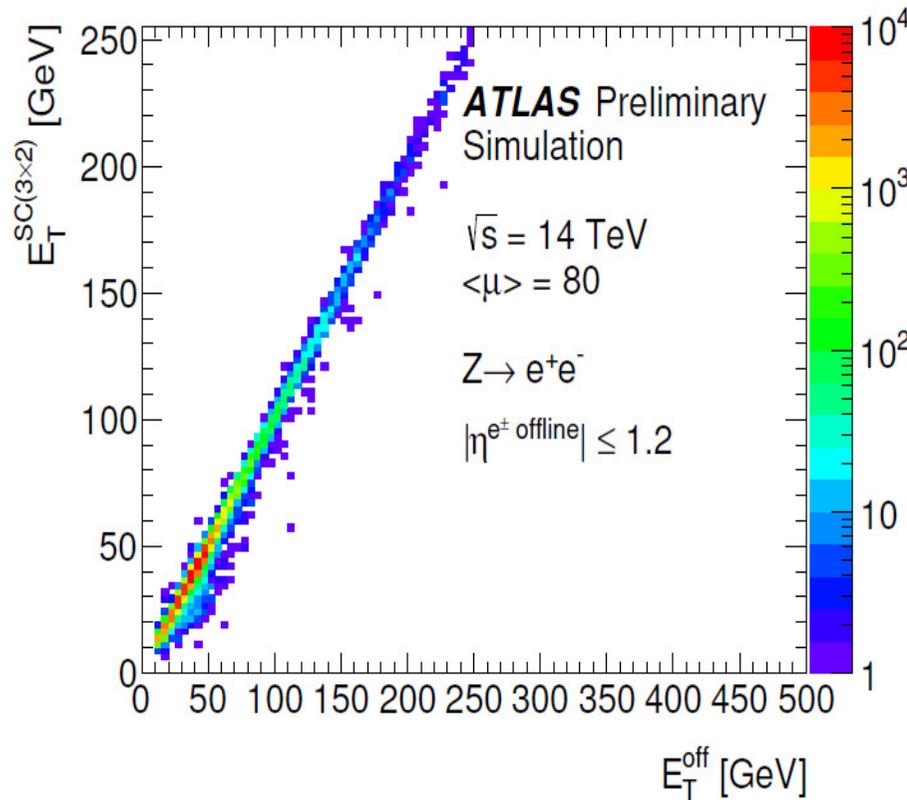


(b)

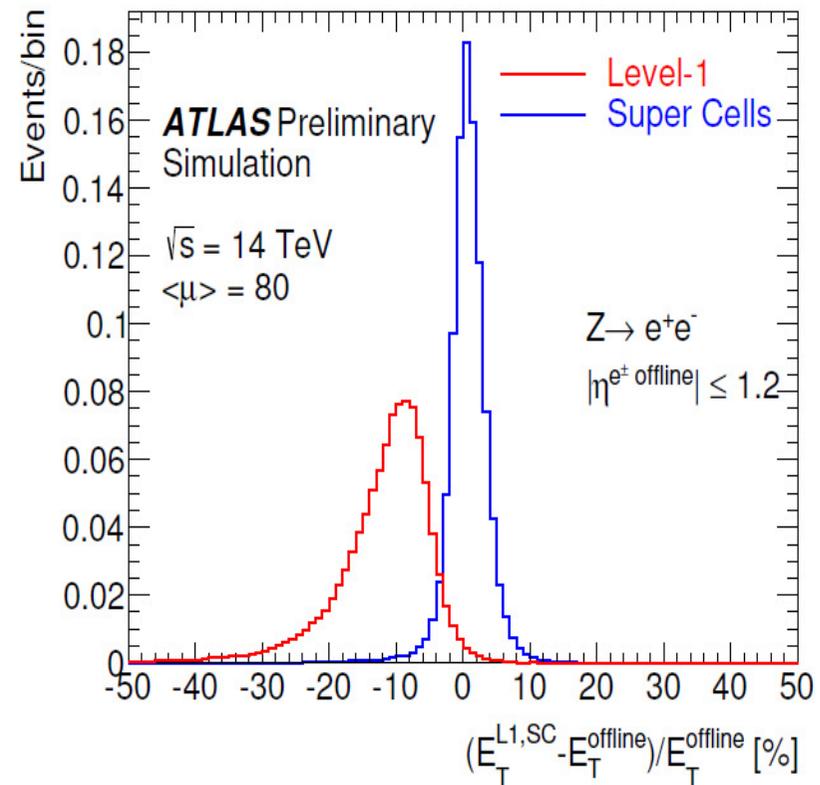


(c)

# Reconstruction de l'énergie

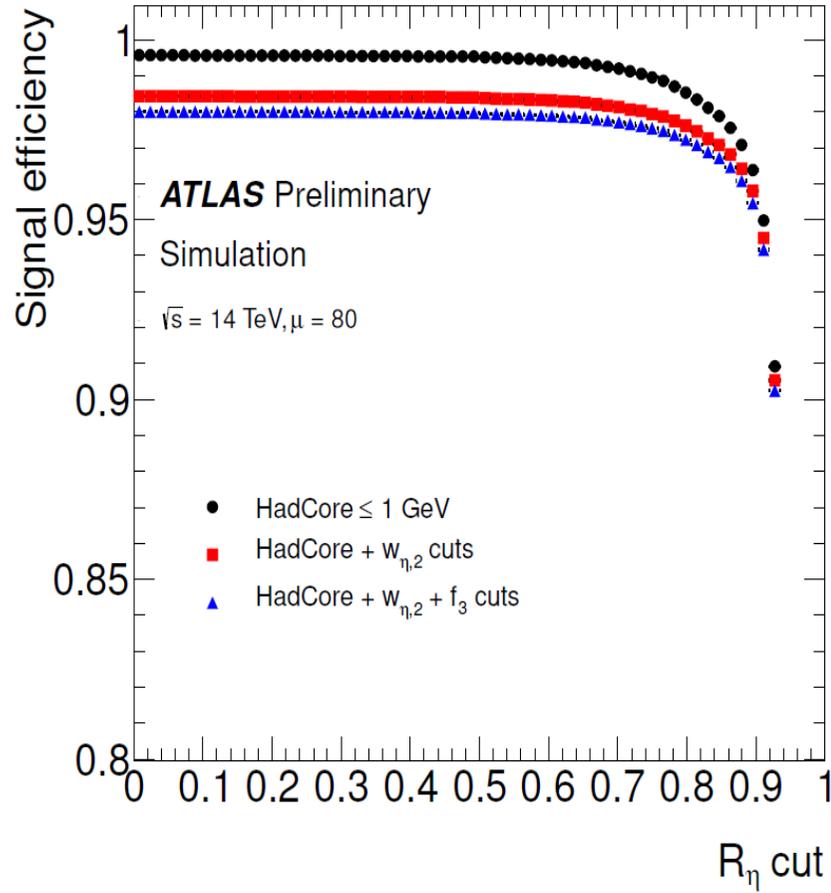


(a)

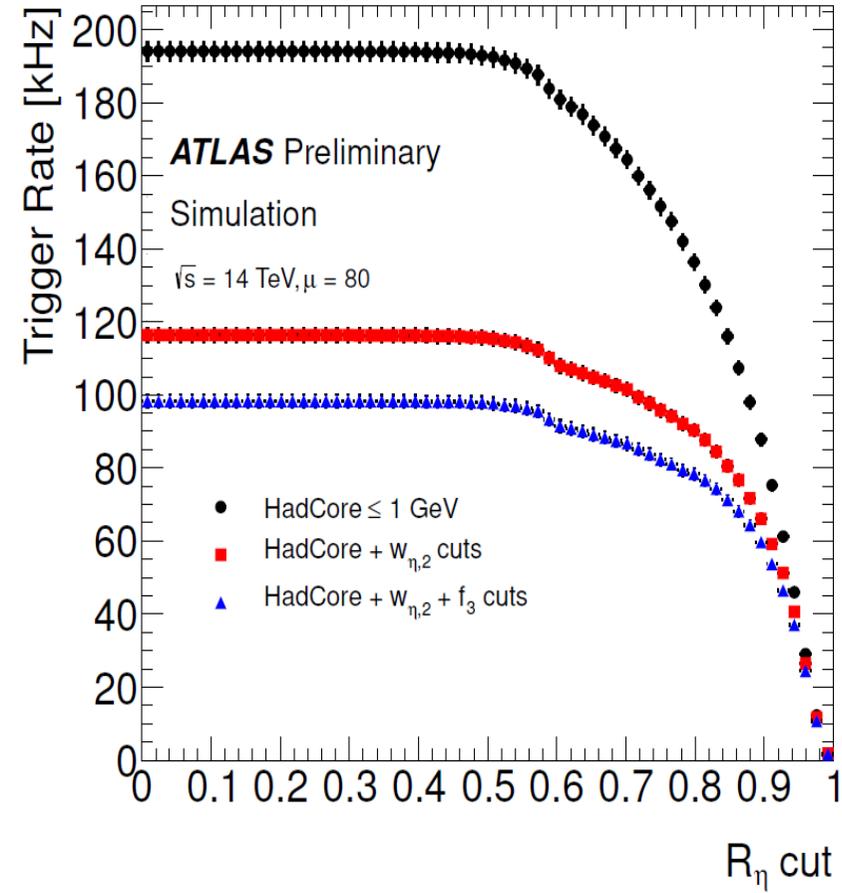


(b)

# Performance du déclenchement

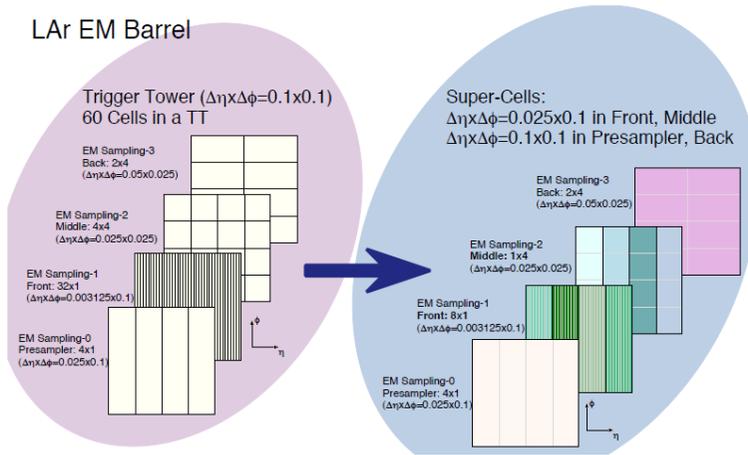


(a)



(b)

# Améliorations du déclenchement électromagnétique

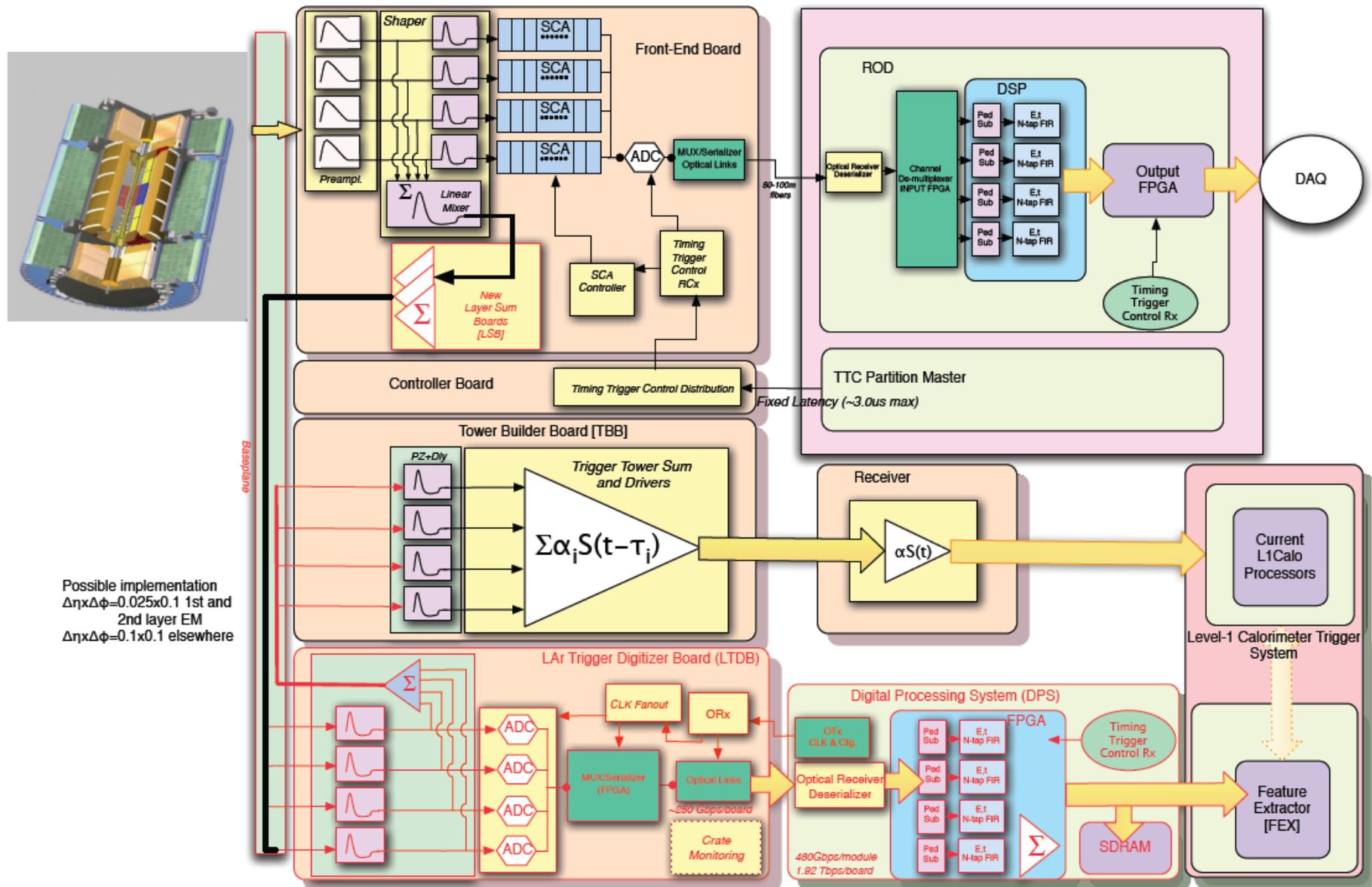


La même chose du point de vue du  $H \rightarrow \gamma\gamma - 2 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$

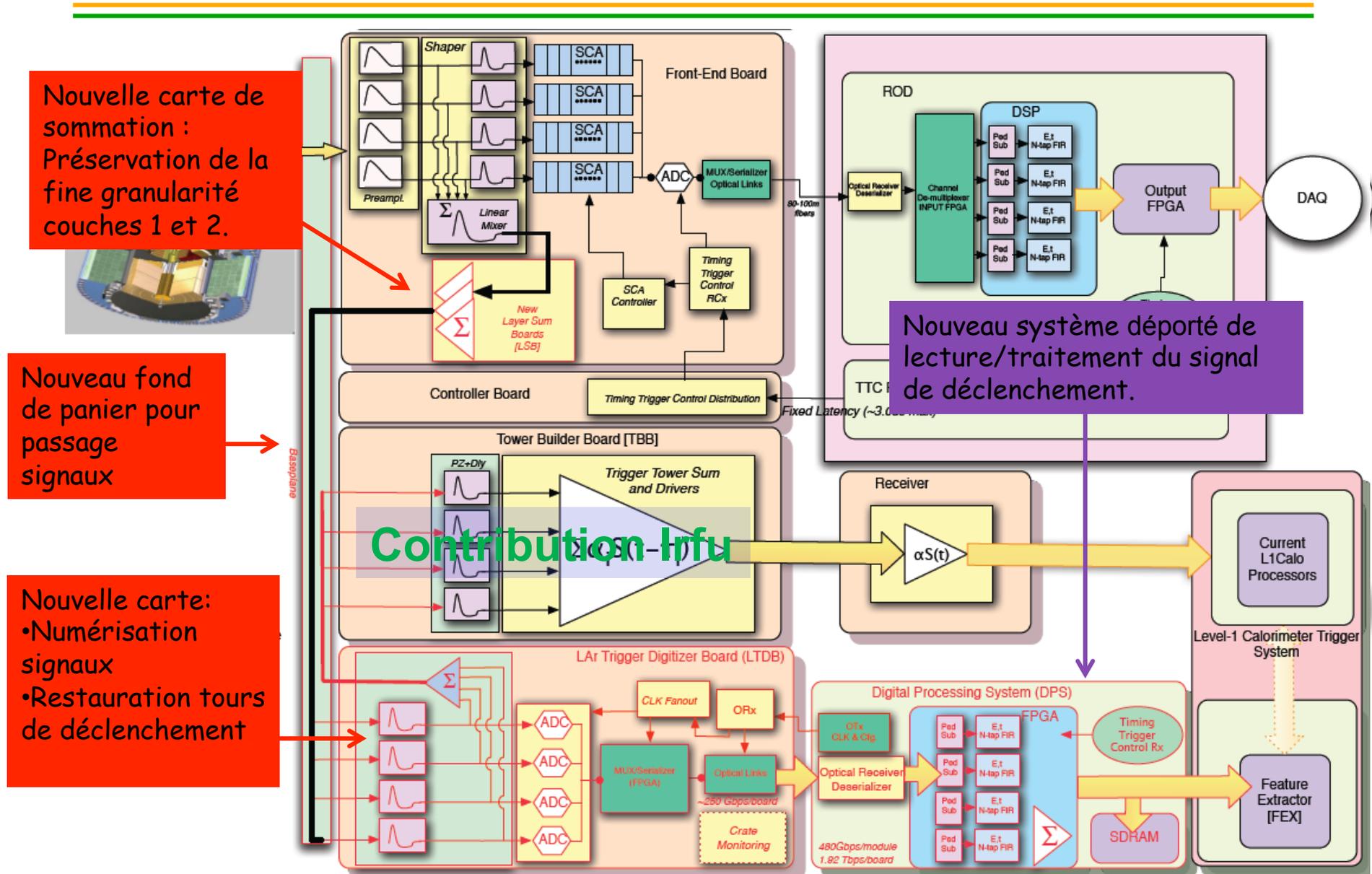
| Level-1 trigger   | Eff $_{H \rightarrow \gamma\gamma}$ [%] | Rate [kHz] |
|---|---|------------|
| Two $E_T^{EM} > 18 \text{ GeV}$   | 100                                     | 26.4       |
| Two $E_T^{EM} > 18 \text{ GeV}$ & isolation                                     | 98.5                                    | 7.7        |
| Two $E_T^{EM} > 18 \text{ GeV}$ & isolation & $rCore_{L1} > 0.93$               | 98.0                                    | 2.0        |
| Two $E_T^{EM} > 18 \text{ GeV}$ & isolation & $rCore_{L1} > 0.93$ (LSB = 1 GeV) | 98.2                                    | 4.7        |

Meilleure résolution sur l' énergie hadronique profitera aussi aux déclenchements basées sur l' énergie manquante

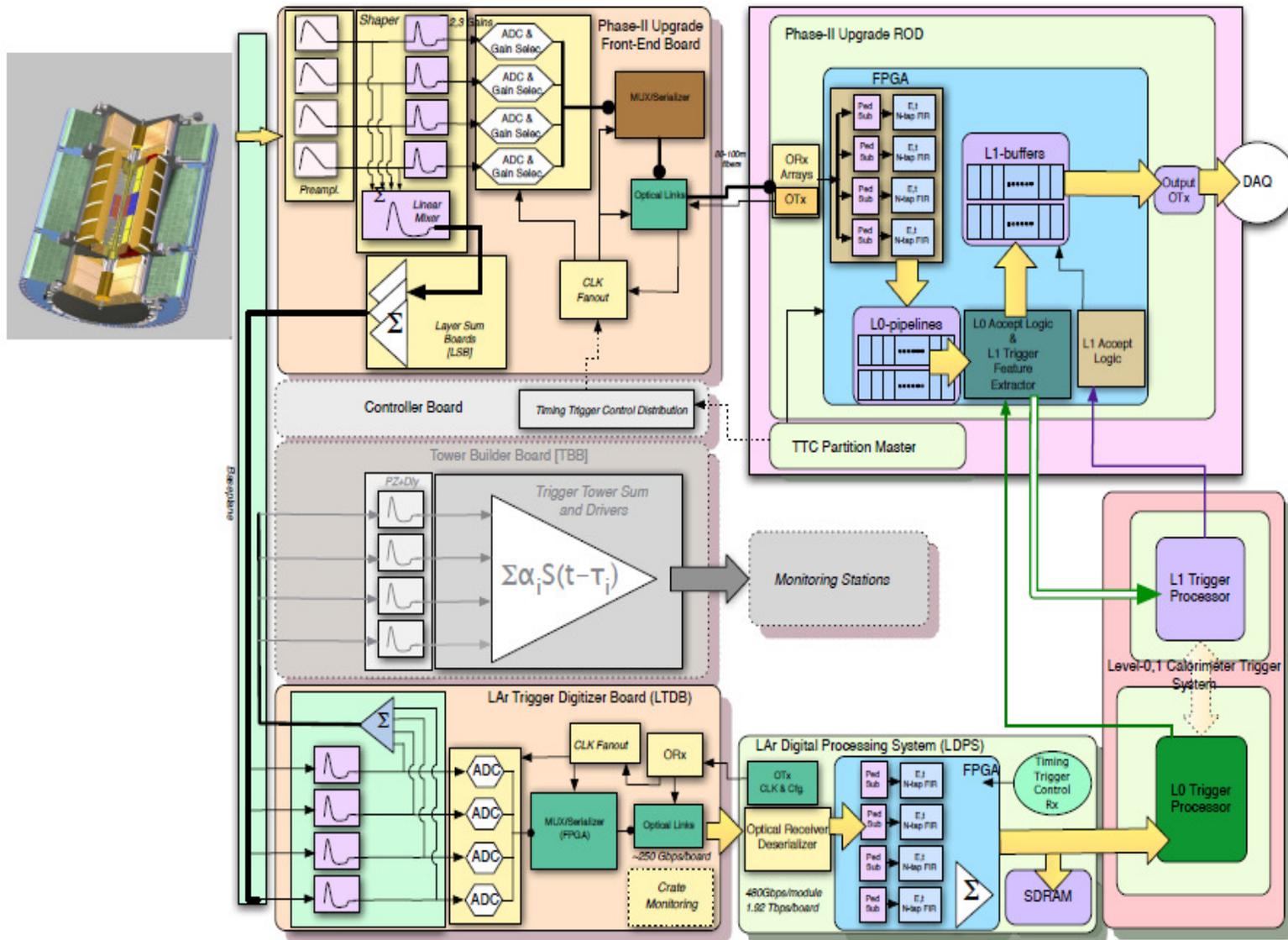
# Calorimétrie LAr : fond de panier & carte LTDB



# Calorimétrie LAr : nouveau système de déclenchement



# Calorimétrie LAr : schéma de lecture Phase II



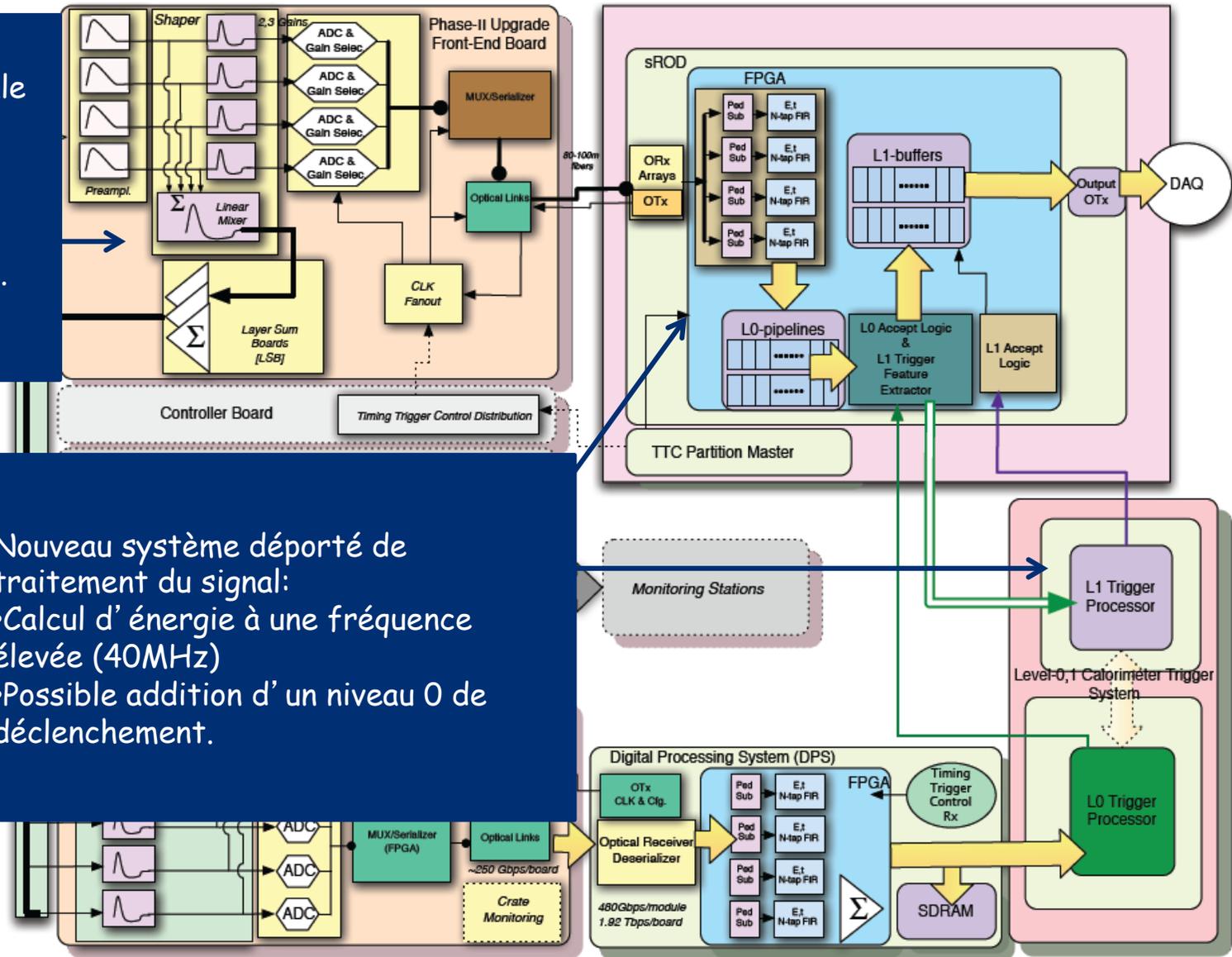
# Calorimétrie LAr : schéma de lecture Phase II

Nouvelle carte frontale de lecture:

- Gamme dynamique 16 bits (inchangée)
- Lecture continue (40MHz) des données.
- Plus de pipeline!

Nouveau système déporté de traitement du signal:

- Calcul d'énergie à une fréquence élevée (40MHz)
- Possible addition d'un niveau 0 de déclenchement.





# ***LAr Technical Design Report***



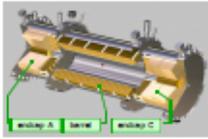
- Written and delivered to LHCC
- Approved by CB at Marrakech
- Main contents:
  - Coherent picture of all parts of the project
  - Studies of the performance of the upgraded trigger
  - Open decisions listed and discussed
    - ADC dynamic range,  $E$  to  $E_T$  conversion location
    - ADC technology selection
    - LTDB architecture choice
    - Choice of FPGA for digital processing
  - Decisions to be made through Preliminary Design Reviews
    - ADC PDR in March 2014
    - LTDB PDR in May 2014
    - FPGA PDR in Oct 2014

# Fond de panier

---

- Composant essentiel au bon fonctionnement de l'électronique Front-End
- **Indissociable de la LTDB !**
- Un nouveau fond de panier est en cours de conception (LAL-IN2P3)
  - Environ trois fois plus de voies analogiques à transmettre
  - Trajets plus complexes :
    - FEB → LTDB
    - FEB → TBB
    - LTDB → TBB
- 5 types de fonds de panier différents pour tout le calorimètre
- Un prototype de fond de panier (5 ex.) existe pour le barrel (en cours de test)
- Deux prototypes seront installés sur le détecteur pour les démonstrateurs
- Saclay participe au financement du fond de panier (50%)

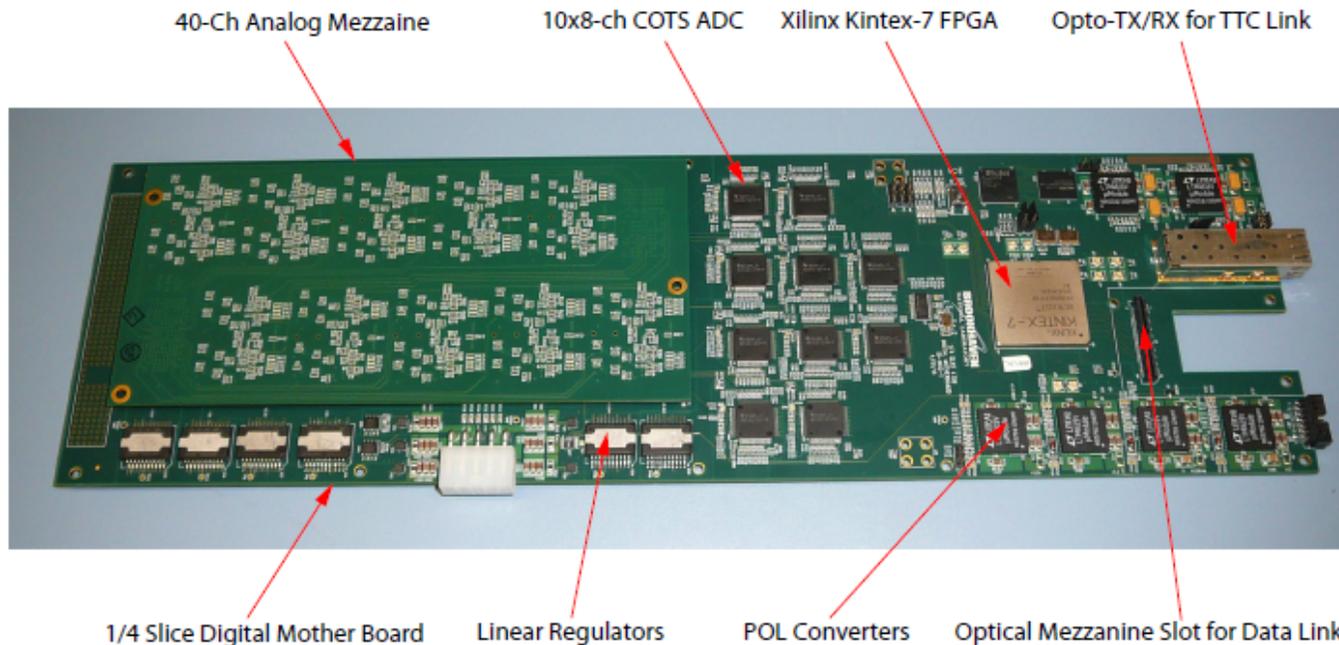
# Architecture BNL/SMU/Pittsburgh



## **Digital LTDB with analog mezzanines**



- Aim is to develop a common digital motherboard for all regions of the calorimeters, as was done for the Front End Board.
- Difference in calorimeter types is handled with 40-channel analog plug-ins (8 per LTDB)
- 1/4 –slice (80 channel) prototype has been built and fully tested, using the commercial ADC ADS5272 mentioned above. (Picture below includes analog mezzanine.)
- A 320-channel demonstrator, based on 1/4-slice model is currently being designed, delivery planned for December 2013.
- Design requires optical transceiver of height < 6 mm



# Architecture Saclay/LAL

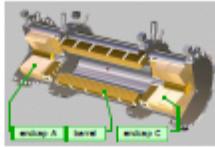
## Carte mère analogique, mezzanines numériques

### Nos raisons

---

- Conception **logique et naturelle** : signaux analogiques traités le plus près possible de leur point d'arrivée sur la carte.
- Bon **découplage fonctionnel** analogique/numérique : la carte peut maintenir la fonctionnalité du TBB sans la partie numérique → réponse à une exigence essentielle d'ATLAS pour le démonstrateur.
- **Maintenance et production a priori plus simple** et moins chère : on s'attend à plus de problèmes sur la partie numérique (composants complexes, packaging denses, électronique numérique rapide, transmetteurs optiques) que sur l'analogique.
- **Souplesse dans la conception** : la partie numérique peut aisément évoluer sans perturber la partie analogique.
- **Refroidissement aisé** : les circuits chauds (FPGA) sont nécessairement proches des plaques de refroidissement.
- Possibilité d'utiliser des **transmetteurs optiques standard** (volumineux)
- D'une manière générale, **conception prudente** (réutilisation d'éléments existants : plaques de refroidissement, régulateurs plutôt que DCDC,
- Transmetteurs optiques standard CERN...)

# Architecture Saclay/LAL

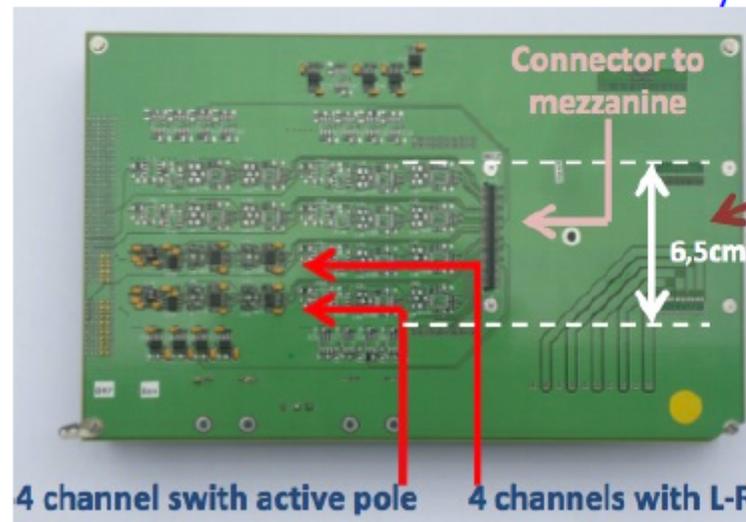


## **Analog LTDB with digital mezzanines**



- Aim is to build an analog motherboard, one for each required region, resulting in 7 different flavors of the motherboard. This is similar to the approach followed in the design of the Tower Builder Board.
- Digital circuitry is contained on 10 32-channel mezzanines
- A 1/5-slice 64-channel MB is under test, and the digital mezzanine is under development (see photo).
- Design permits use of commercial optical transceivers
- An advantage of this approach is that the heat producing digital chips are near the cooling plates, which facilitates heat transfer. This is borne out by recent thermal simulations.

Section of 64-channel analog MB where different configurations are being studied. Will evolve to a full 320 channel analog motherboard.



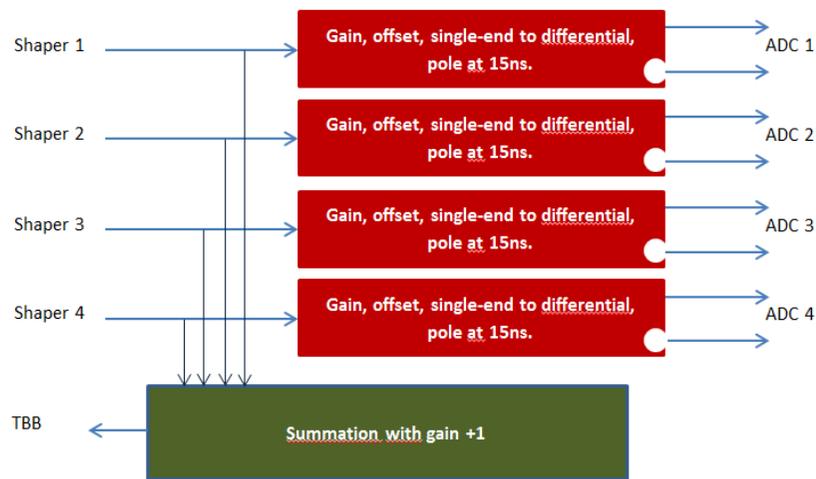
# Activités Saclay/LAL sur la LTDB

## Conception, Hardware, Simulation, Tests

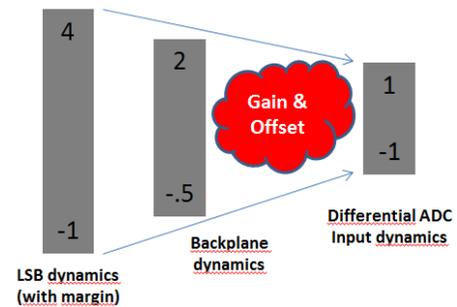
- Conception de prototypes Front-End analogiques et numériques:
  - Proposition d'un schéma de principe, avec un lot de composants.
  - Construction et tests d'un prototype basé sur carte spécifique et kits d'évaluation.
  - Conception, fabrication et tests (en cours) d'une carte analogique de 64 canaux, implémentant la connectique vers le fonds de panier ainsi que vers la mezzanine numérique
  - Conception, tests et production de la mezzanine numérique (LAL)
  - Conception, prototypage et production du fond de panier (LAL)
- Conception générale du système
  - Dimensionnement thermique
  - Etude de la gamme dynamique, effets de la saturation, forme des signaux.
  - Effet de la phase de l'horloge sur la reconstruction de l'énergie, le BCID en fonction du bruit, du pile-up, du jitter, du vertex time, de la saturation de la chaîne analogique (LAL/Saclay)
- Simulation
  - Simulation de la chaîne analogique jusqu'à la sortie shaper output (ou LSB, TBB) pour différents  $E_t$  et  $\eta$ .
  - Formes de signaux pour ATHENA → création d'une bibliothèque de signaux saturés ou non.

# Schéma analogique LTDB (Saclay)

- Design of analog front-end prototypes
  - A schematic with a reduced set of components has been developed
  - Less components → less noise, less delay generated by the board (cf W. Cleland)

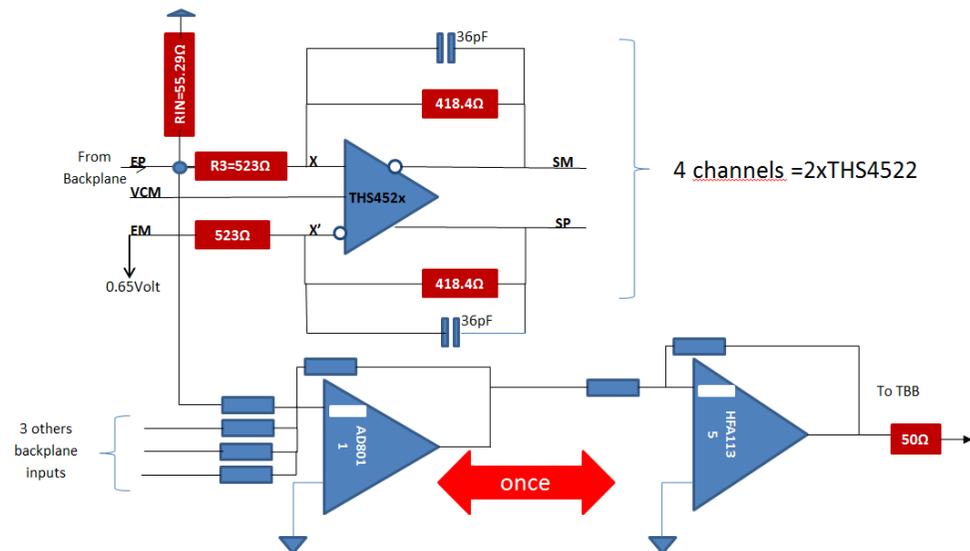


BILL OF MATERIAL FOR 4 CHANNELS AND SUM :  
 2xdual THS4522, + 1xHFA1135 + 1xAD8001 = 4 Packages



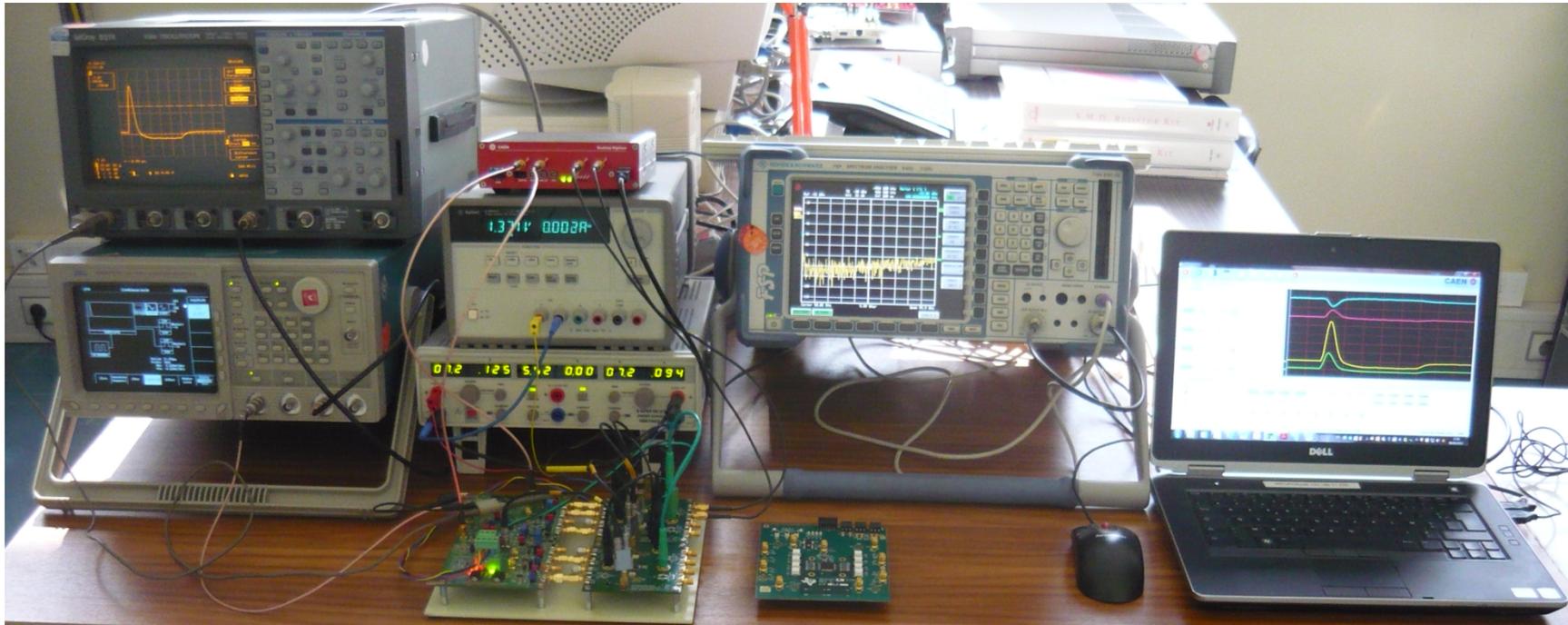
Gain/channel and dynamics: open discussion

A symmetrical feedback and gain network makes SP-SM independent of the ADC common mode voltage VCM



4 channels = 2xTHS4522

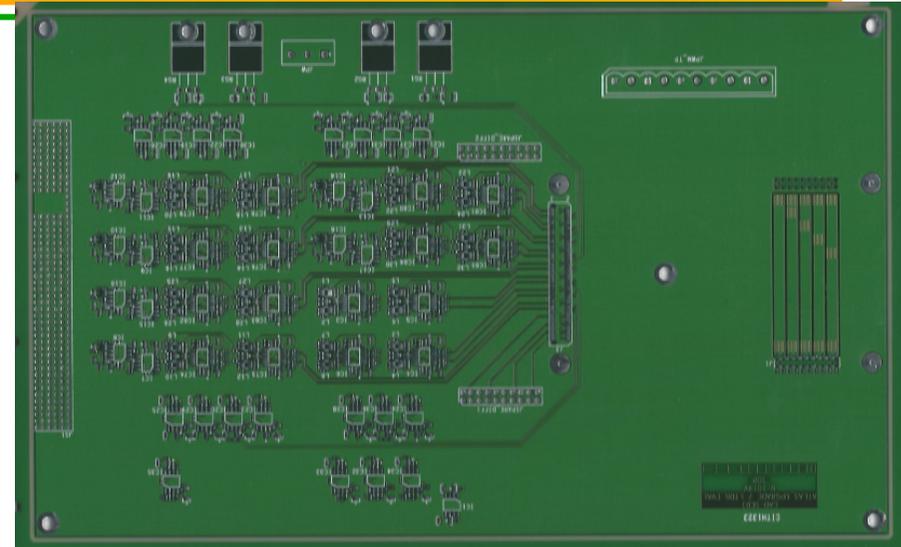
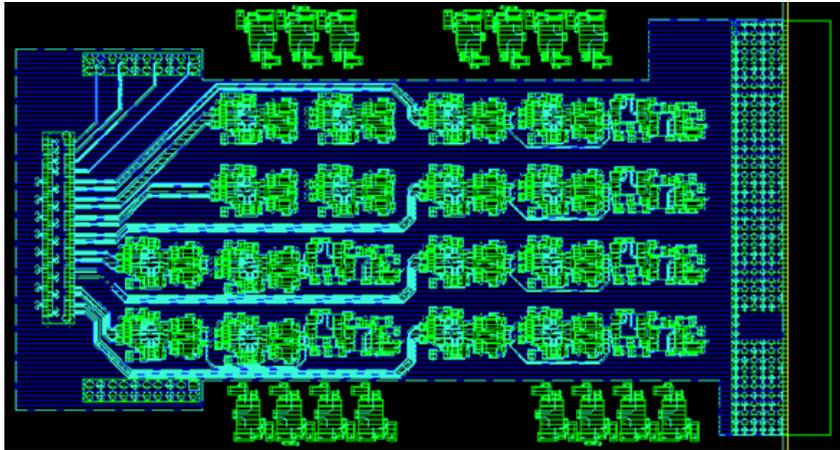
# Banc de test carte 4 voies



## Our test-bench:

- LeCroy 100MHz oscilloscope
- TeKtronix arbitrary waveform generator (450ns fall time triangle towards  $\frac{s\tau_{lm}}{(1+s\tau_{pa})(1+s\tau_{lm})^2}$ )
- Supplies
- CAEN DT5724, 4 channel 14 bit 100 MS/s digitizer
- PC with CAENSCOPE software
- Rhode&Schwartz 3GHz spectrum analyzer with internal source for tracking

## Carte 64 voies (1/5 LTDB finale)



Permet une évaluation réaliste de :

-bruit, diaphonie, linéarité

d'une section analogique de la LTDB, dans un environnement réaliste :

-Densité de canaux

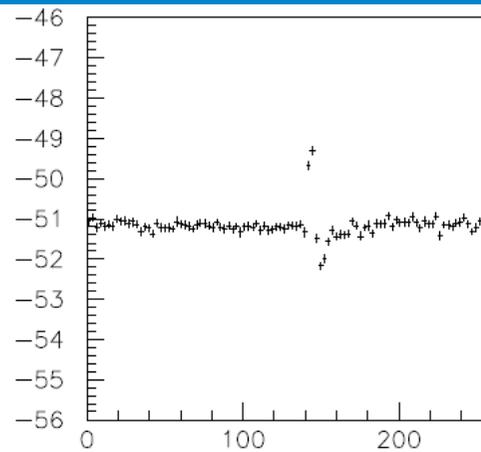
-Connexion avec le fond de panier

-Injection de signaux de physique synthétisés sur plusieurs canaux.

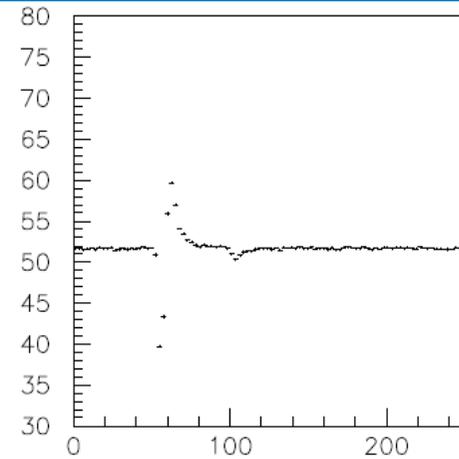
-La carte sera prochainement associée à une mezzanine numérique, en cours de test (LAL).

Placement/routage D. Besin

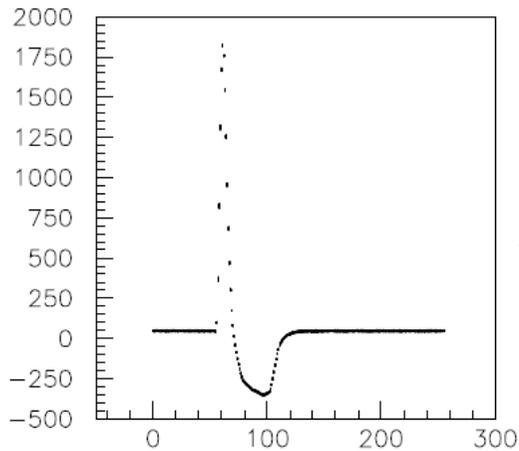
# Mesures de diaphonie sur la carte 64 voies



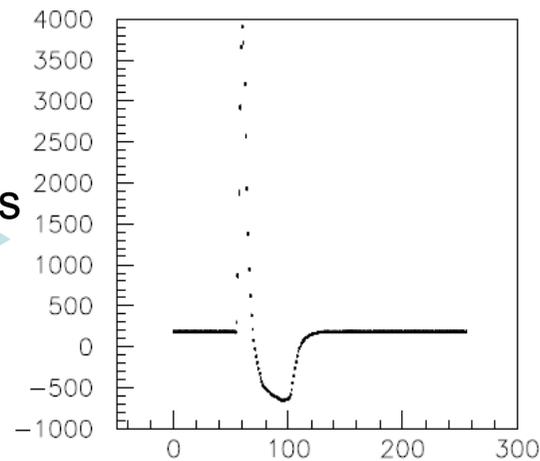
- Diaphonie avec pôle actif : **0.13%**



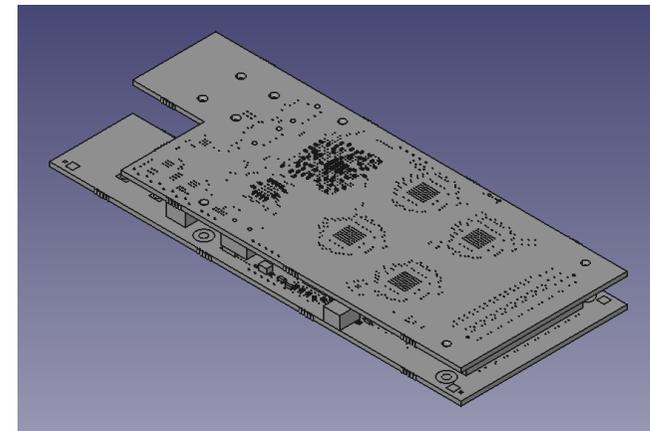
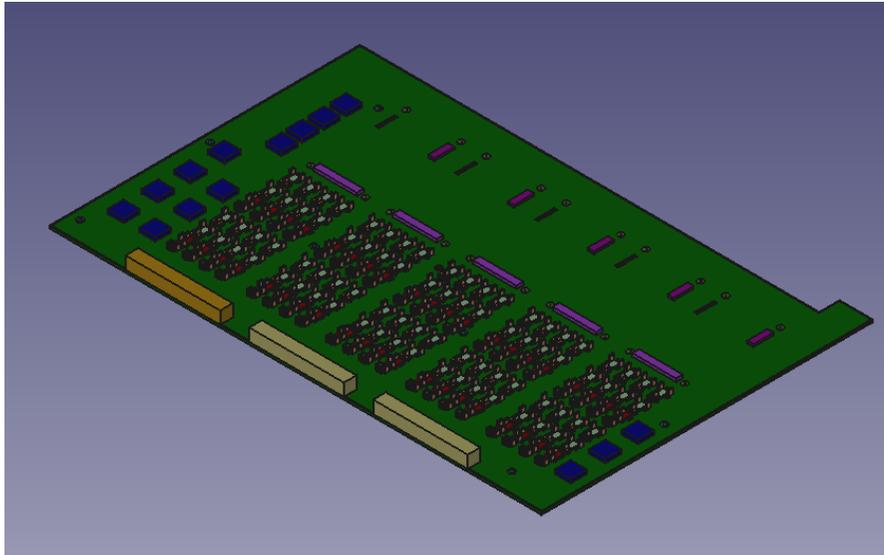
- Diaphonie avec pôle L-R **0.66%** (à cause de valeurs plus basses de la résistance du pôle, comparé au pôle actif).



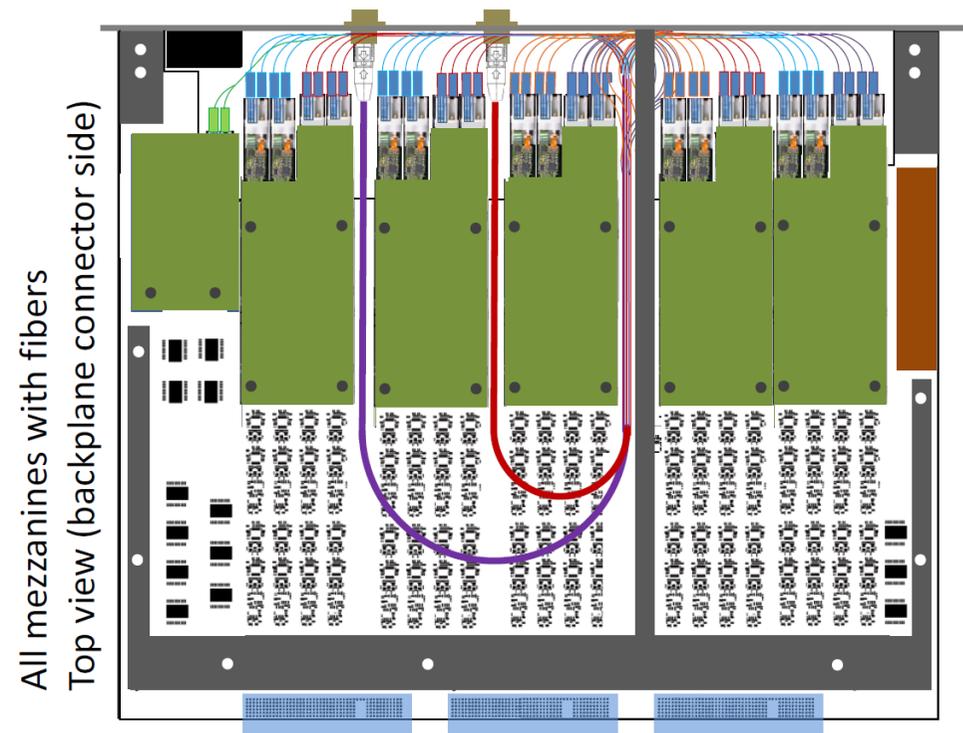
Canaux pulsés



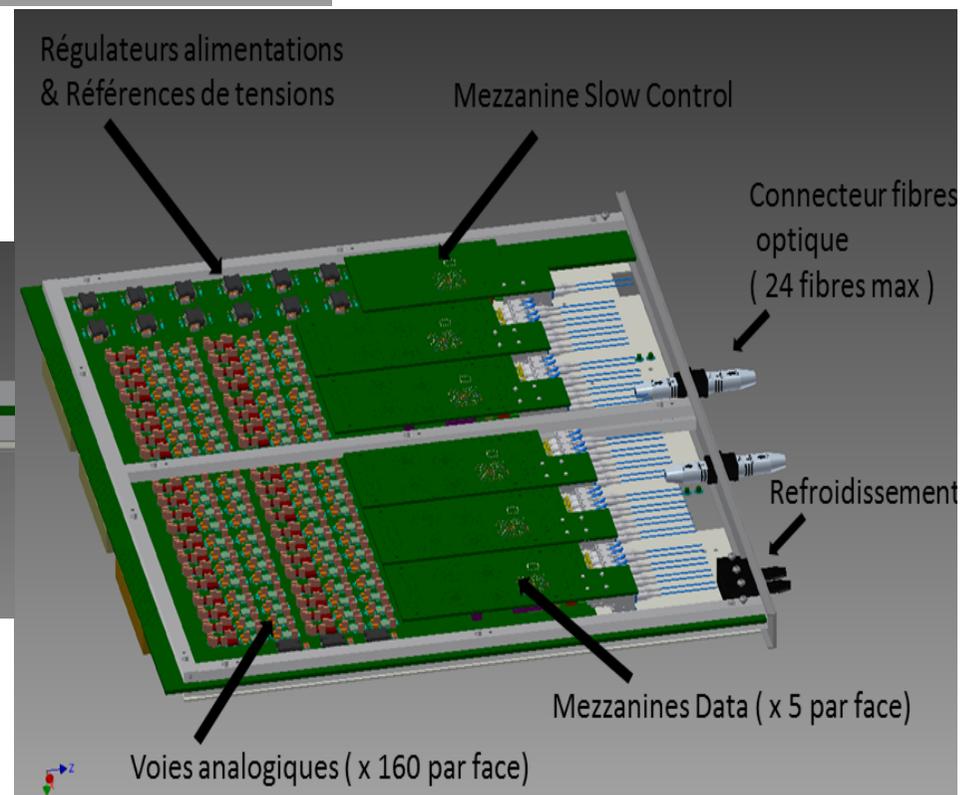
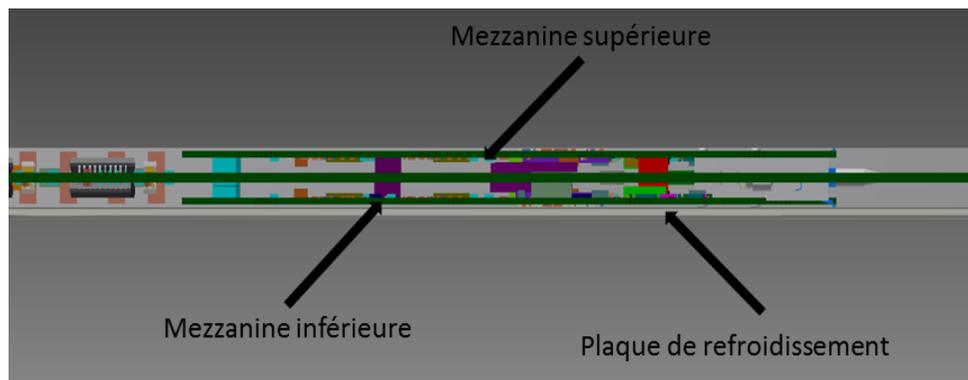
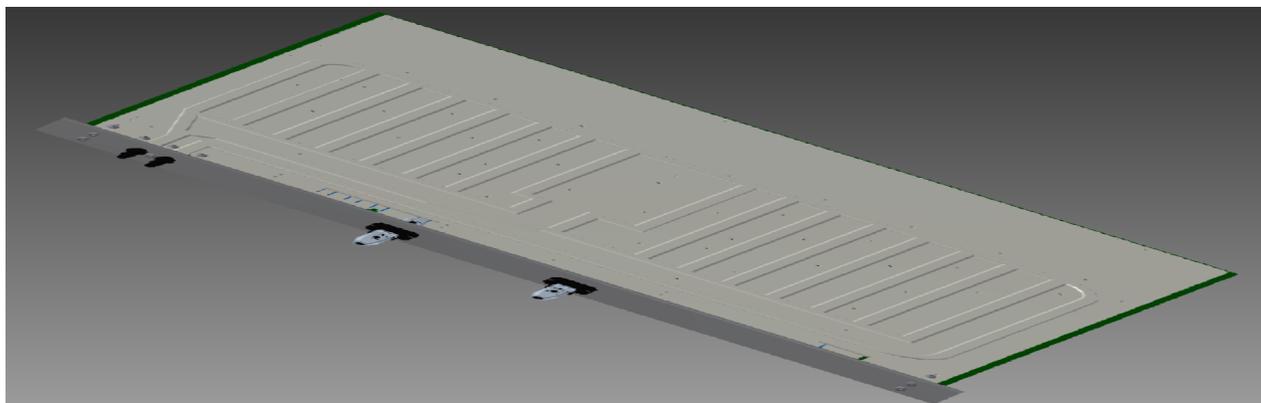
# Carte-mère analogique et mezzanines numériques



- Carte très dense
- Forte densité de puissance locale (200 W total)
- Assemblage délicat
- Interférences mécanique/électronique
- Routage de fibres complexe
- Démontage des problèmes avec CAO Mécanique
- Réalisation d'un proto « mécanique » pour tests d'insertion

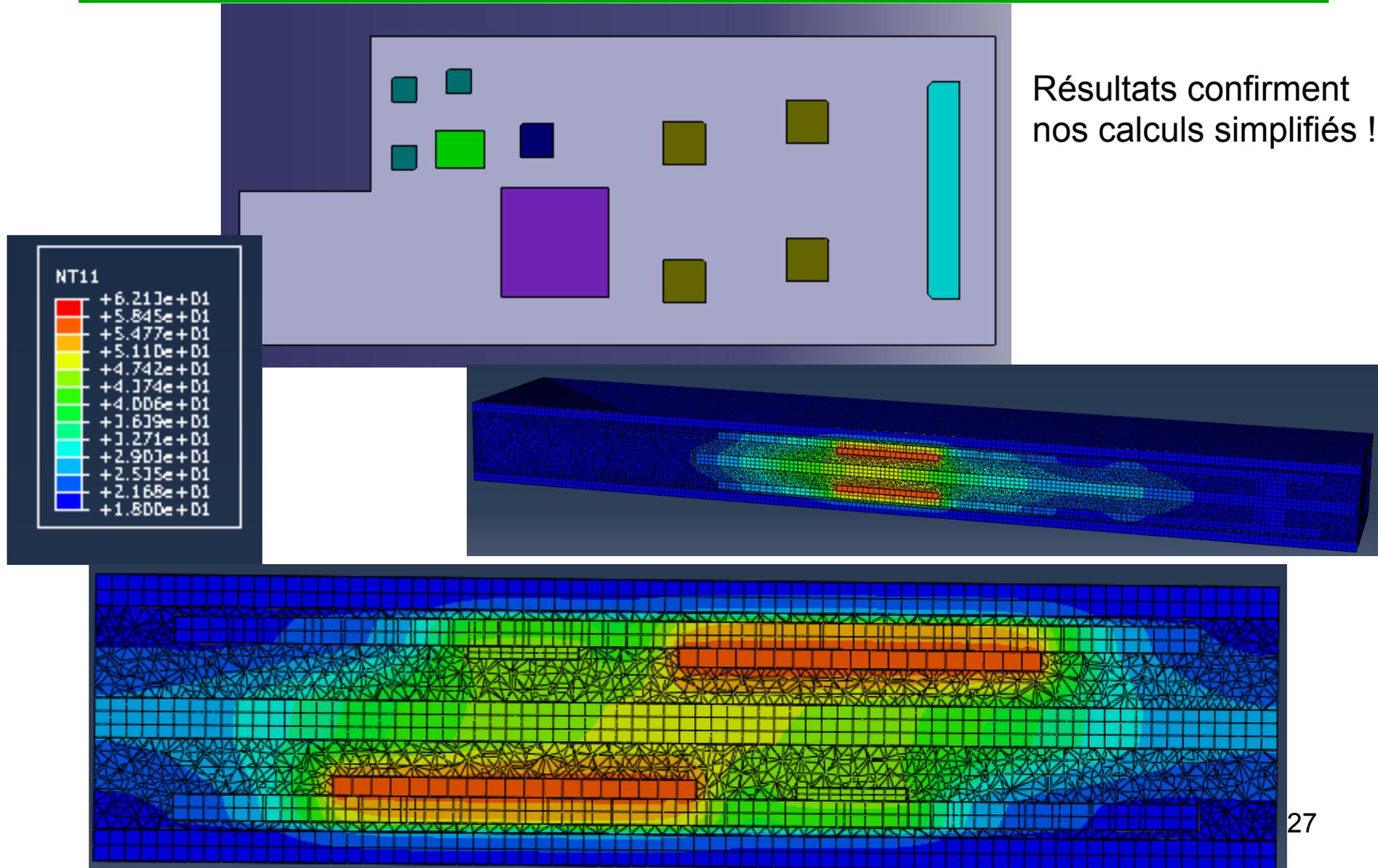


# Intégration carte-mère / mezzanine / refroidissement / connectique optique



# Simulations thermiques (LPNHE, D. Laporte)

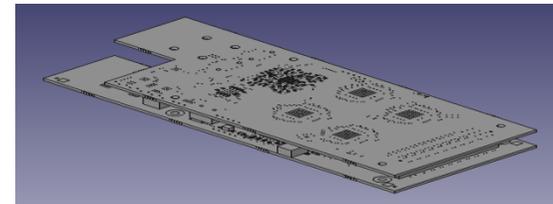
Résultats confirment nos calculs simplifiés !



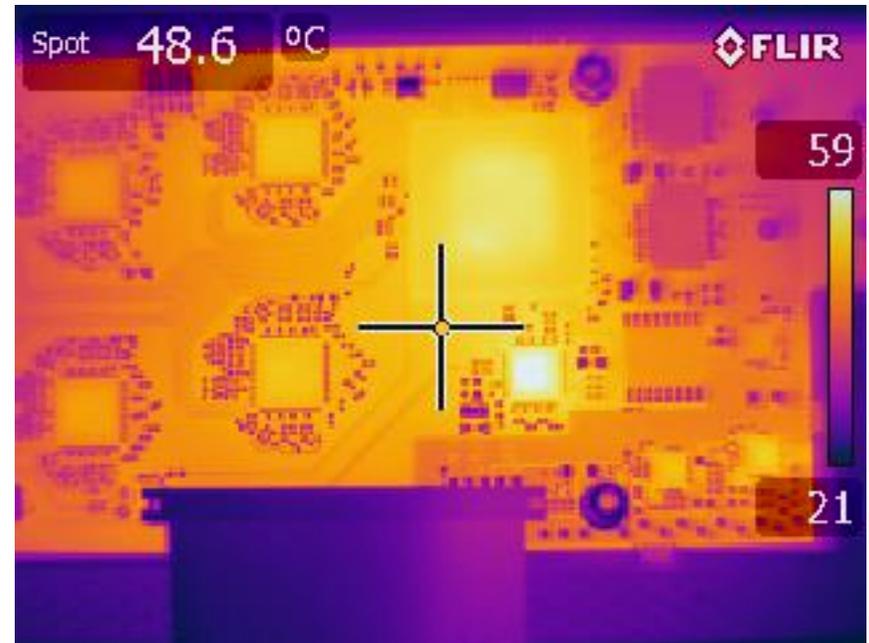
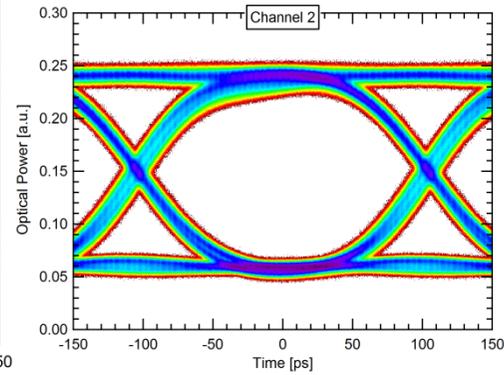
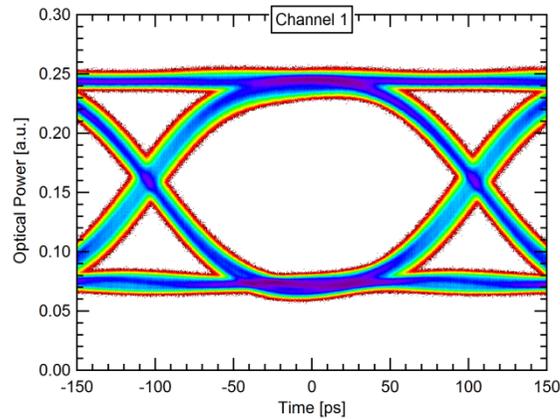
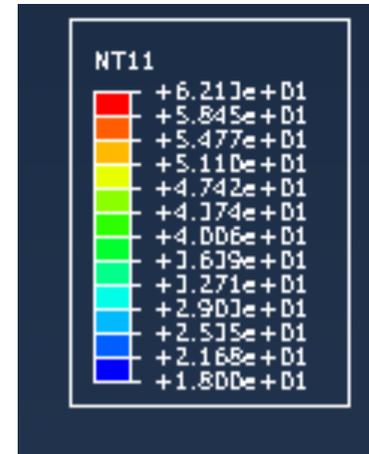
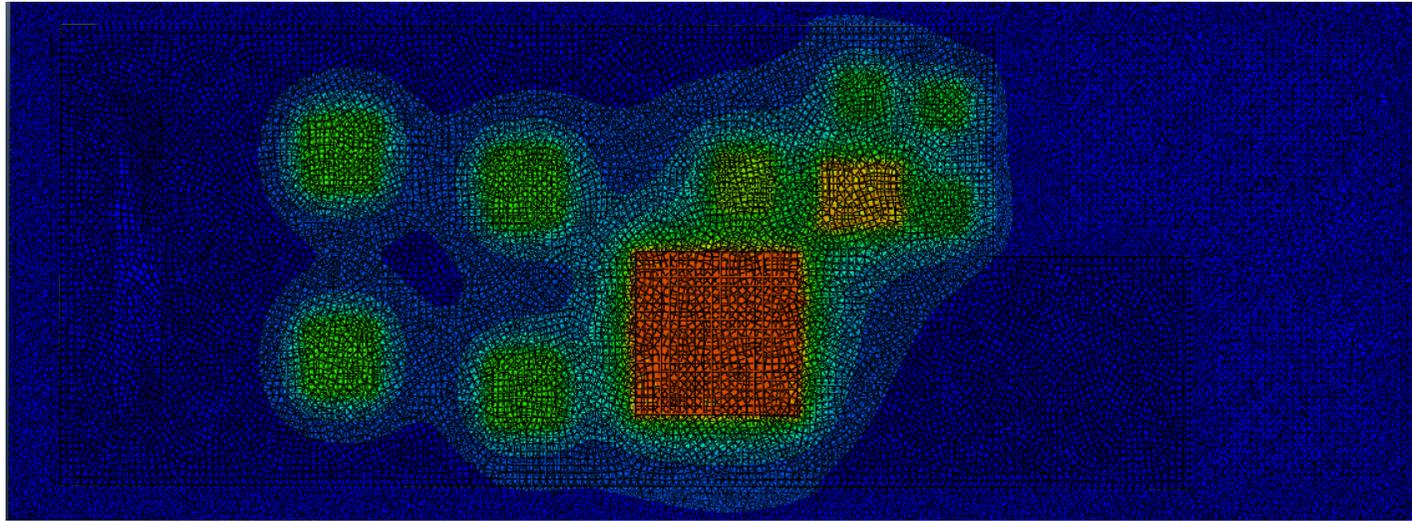
## Mezzanines numériques (LAL) associées à la carte mère analogique (Saclay)

---

- 32 canaux, soit 2 mezzanines par section analogique MB de la carte-mère, 5 sections analogiques par LTDB.
- Conçue autour d'un Altera Cyclone V GT D7 et d'un ADC ADS 5282, non rad-hard COTS → OK pour test carte 64 voies, et évolution vers un démonstrateur.
- Transmetteur optique : CERN VTTX
- Distribution de puissance
  - 3.3 V-1.4A et 2.5 V-1.2 A (jusqu'à 1.8 A en transitoire) amené de la carte mère.
- Relié à la carte mère par un connecteur bas-profil Panasonic (3 mm) 100 broches :
  - 32 signaux analogiques différentiels
  - 1 horloge externe en différentiel
  - 1 contrôle numérique en différentiel (TTC/BCR)
- Une mezzanine destinée à la carte 64 voies a été câblée, les tests (LAL) commencent :
  - Alims, horloges, température → OK
- **Nouvelle version pour le démonstrateur en cours de conception.**



# Tests préliminaires (LAL, S. Simion)



# Banc de test LTDB

Linear or saturated pulses : 32 normalized values and derivatives for

**ATHENA**

$$f(E_t, Layer, E_t, time)$$

**ATHENA**  
Realistic Energy distribution in super-cells including pile-up

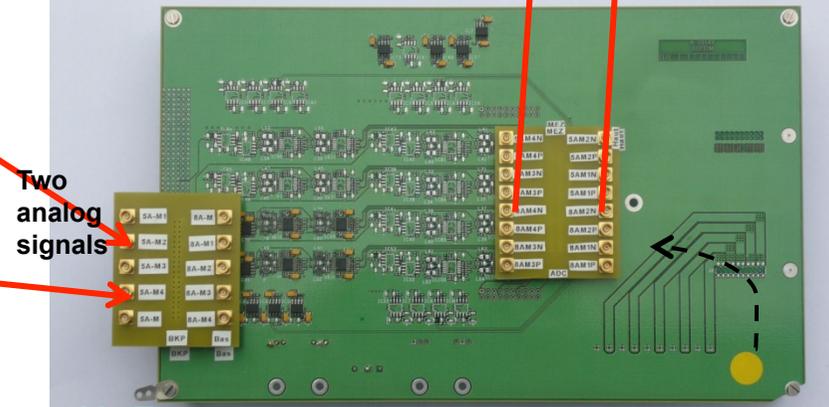
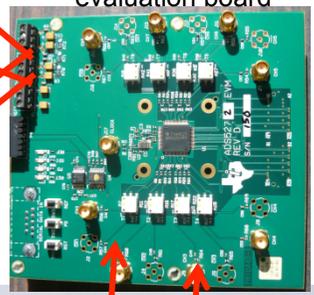
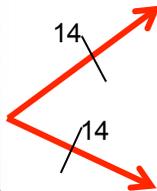
**ASCII FILES**  
V(t) at the output of a shaper or LSB : few microsecond of piled-up pulses with a realistic E<sub>t</sub> for each ones

Data collected by Xilinx Chipscope

Data collected by LeCroy SDA6000

40MHz Clock

Octal T.I. ADC ADS5272 evaluation board



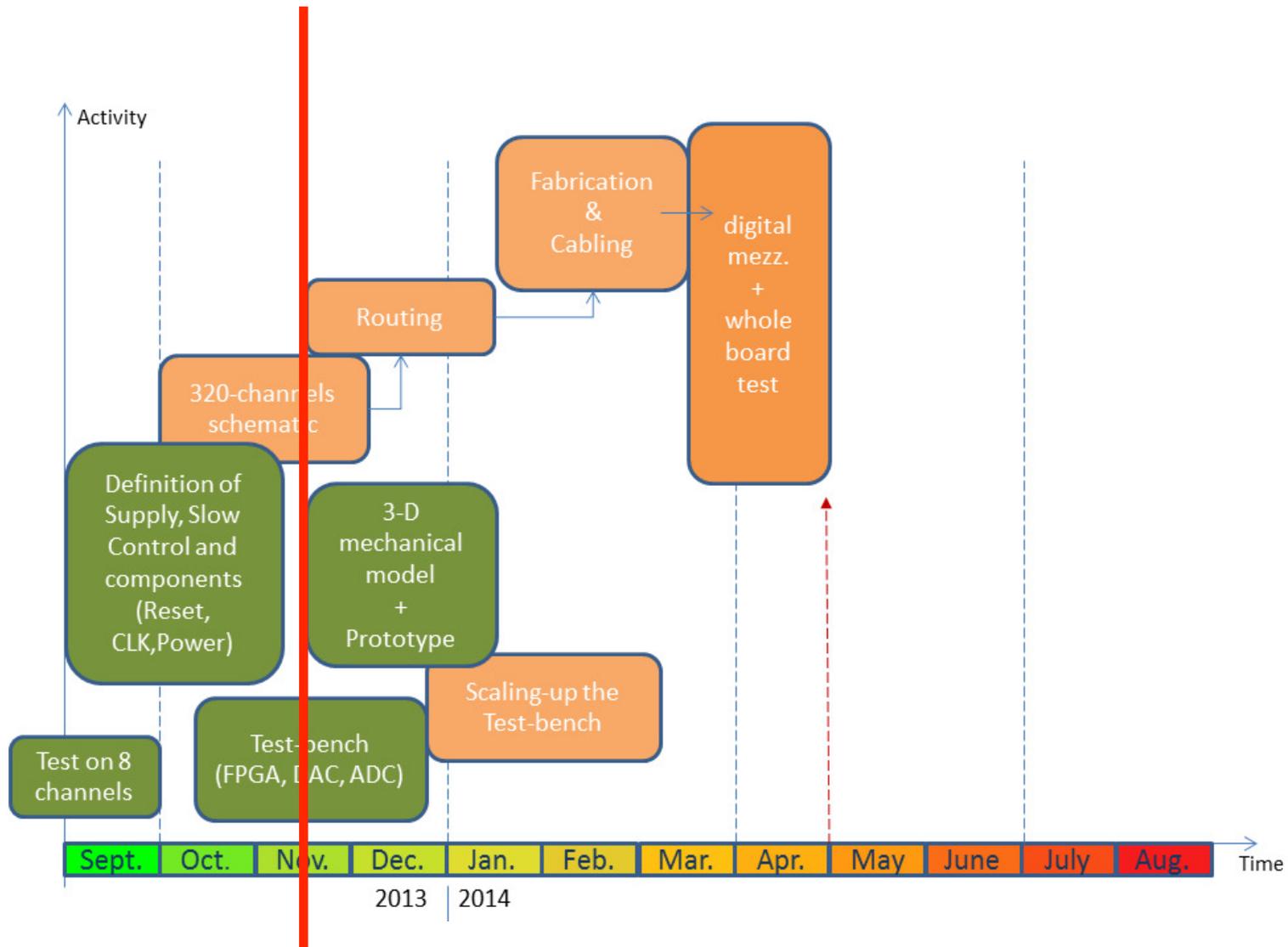
The ascii files are stored in the RAM of a Virtex-5 (or 6, or 7) development kit. The FPGA builds two 14-bits parallel data-flow at 200MHz rate for a twin T.I. DAC5672 Evaluation board.

# Calendrier global du projet

---

- Démonstrateur
  - Revue prévue en mars 2014
  - Assurer le fonctionnement sans perturbation du trigger actuel
  - Installation du démonstrateur en juillet 2014
  - **Calendrier très serré**
- LTDB finale
  - Conception sera basée sur le retour d'expérience des démonstrateurs
  - Conception à partir de 2015
  - Premier prototype fin 2015
  - Banc de test à concevoir en 2015
  - Production (130 cartes) en 2016

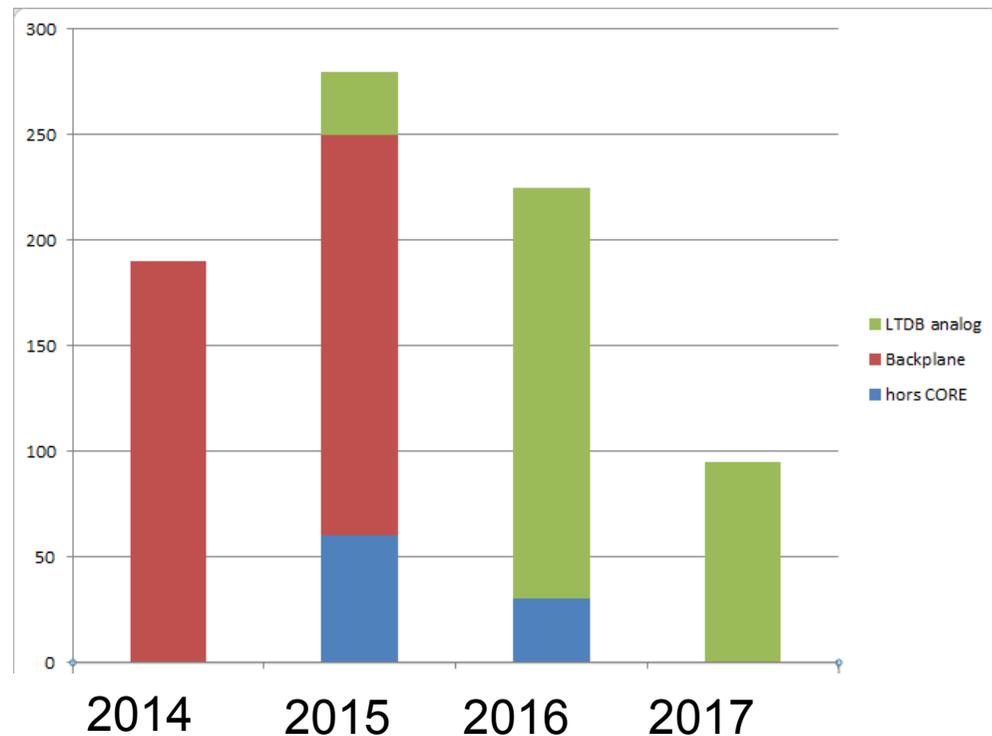
# Calendrier démonstrateur



# Profil de dépenses

| Année                 | 2014 | 2015 | 2016 |
|-----------------------|------|------|------|
| hors-CORE (k euros)   | 0    | 60   | 30   |
| Backplane (k euros)   | 190  | 190  | 0    |
| LTDB analog (k euros) | 0    | 30   | 195  |
| Total (k euros)       | 190  | 280  | 225  |

A noter que le démonstrateur n'est pas inclus car financé par P2IO.



# Nos demandes

---

- Réussir l'étape du démonstrateur :
  - Besoin d'un ingénieur généraliste connaissant l'électronique et la production dans le domaine instrumental, à plein temps jusqu'en mars-avril 2014,
  - Compétences à l'interface mécanique/électronique, connectique, intégration
- La réalisation d'un démonstrateur fonctionnel dans les délais est une condition sine qua non au bon positionnement et à la crédibilité de l'Irfu dans le projet d'upgrade trigger Calorimètre Phase I.
- Sécuriser dès maintenant le financement pour l'ensemble du projet
- Afficher officiellement auprès d' ATLAS le projet comme une priorité de l'Irfu.

# Conclusions

---

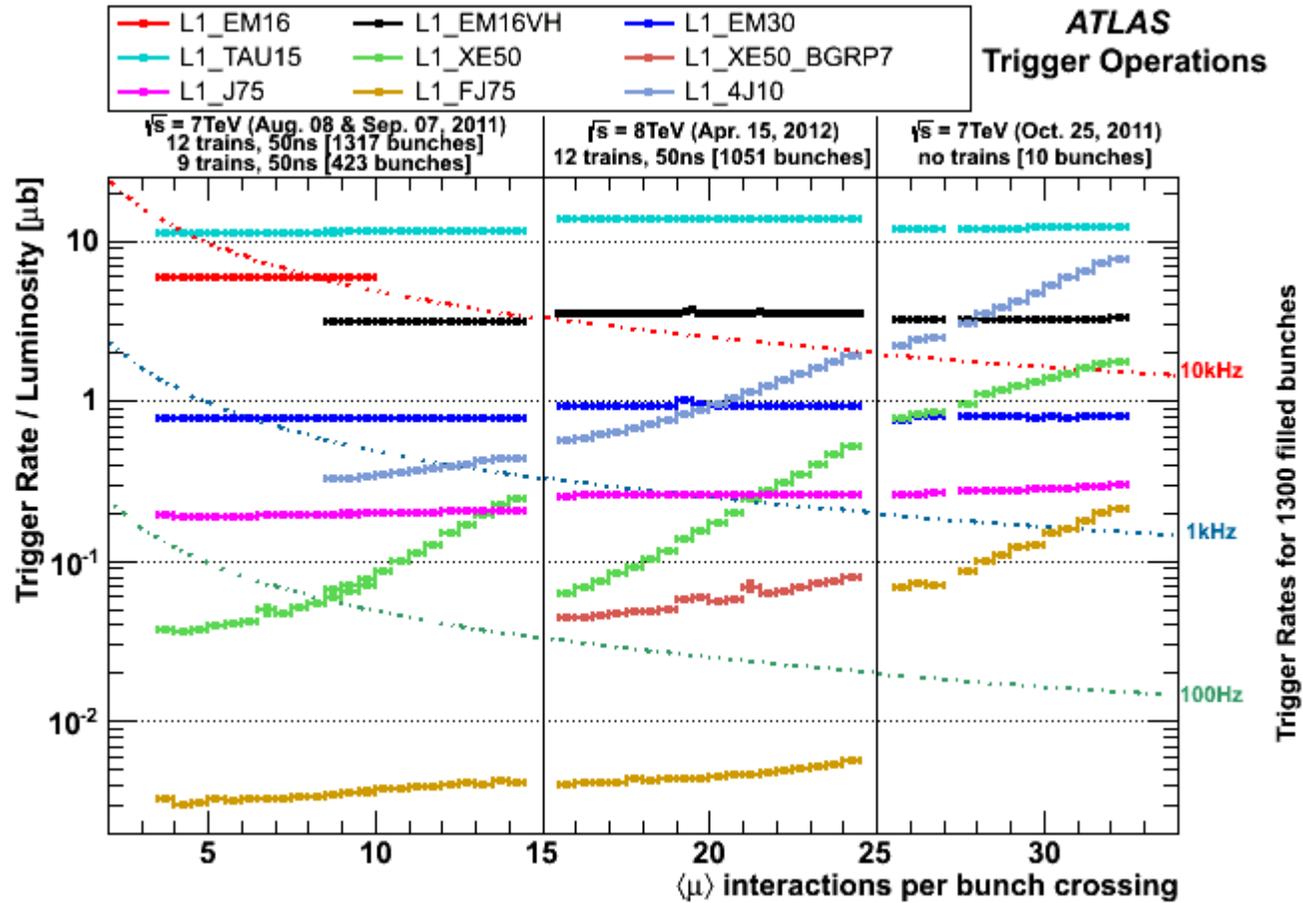
- Phases I/II du LHC caractérisées par un programme de physique prometteur dans de nombreux domaines: physique électrofaible, secteur de Higgs, physique exotique...
- Améliorations nécessaires dès la phase I pour préserver le potentiel de l'expérience ATLAS:
  - Déclenchement électromagnétique.
  - Activité déjà importante en vue de l'installation d'un démonstrateur en 2014.
- Activités d'upgrade offrent en outre un cadre intéressant pour :
  - Formation d'étudiants
  - Activités très visibles pour les permanents
- Trigger calorimétrique projet commun IN2P3/Irfu
  - Permet de maintenir/promouvoir une culture de collaboration entre deux instituts amenés à travailler ensemble, en particulier pour Phase II.

# Backup

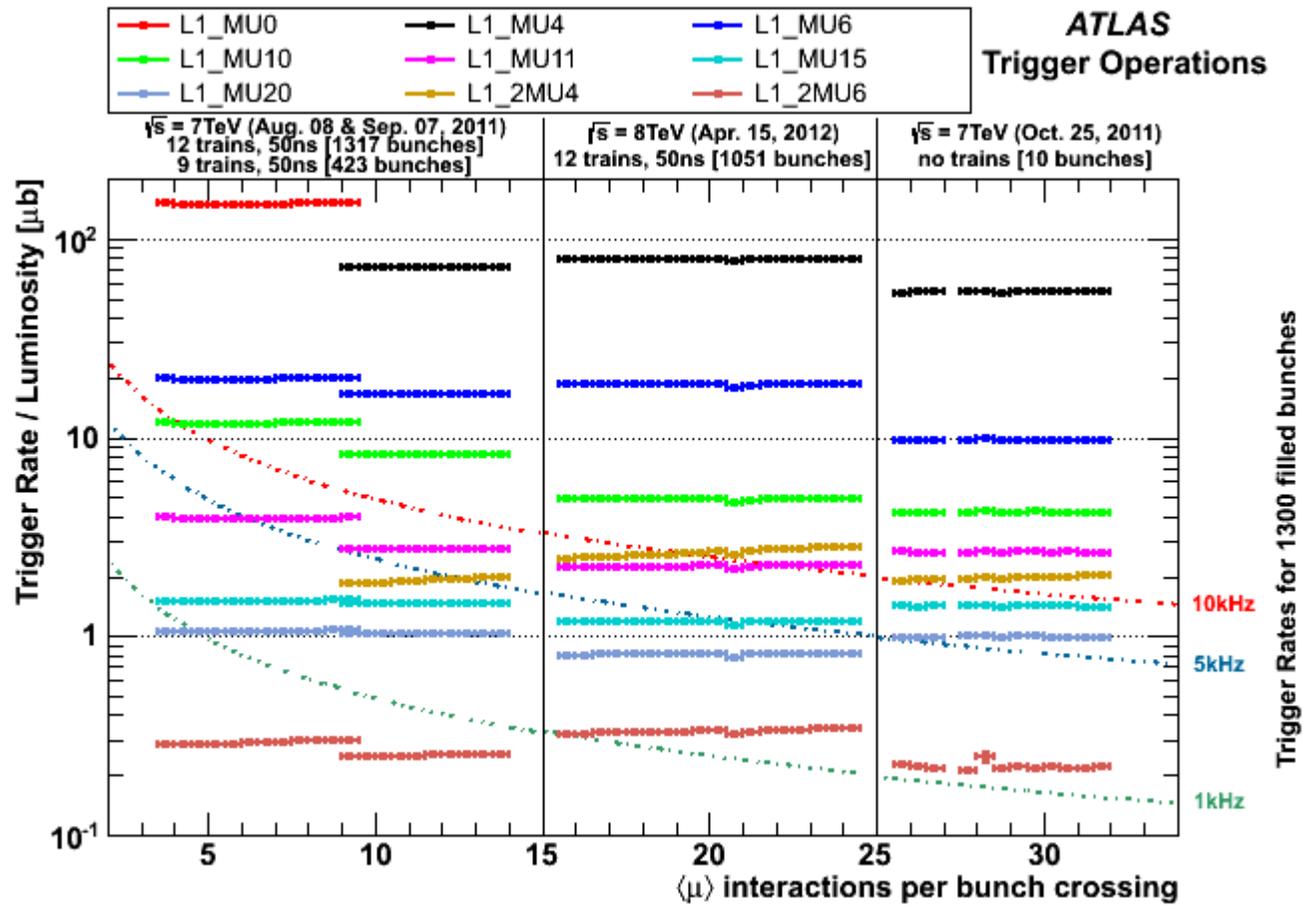
---

---

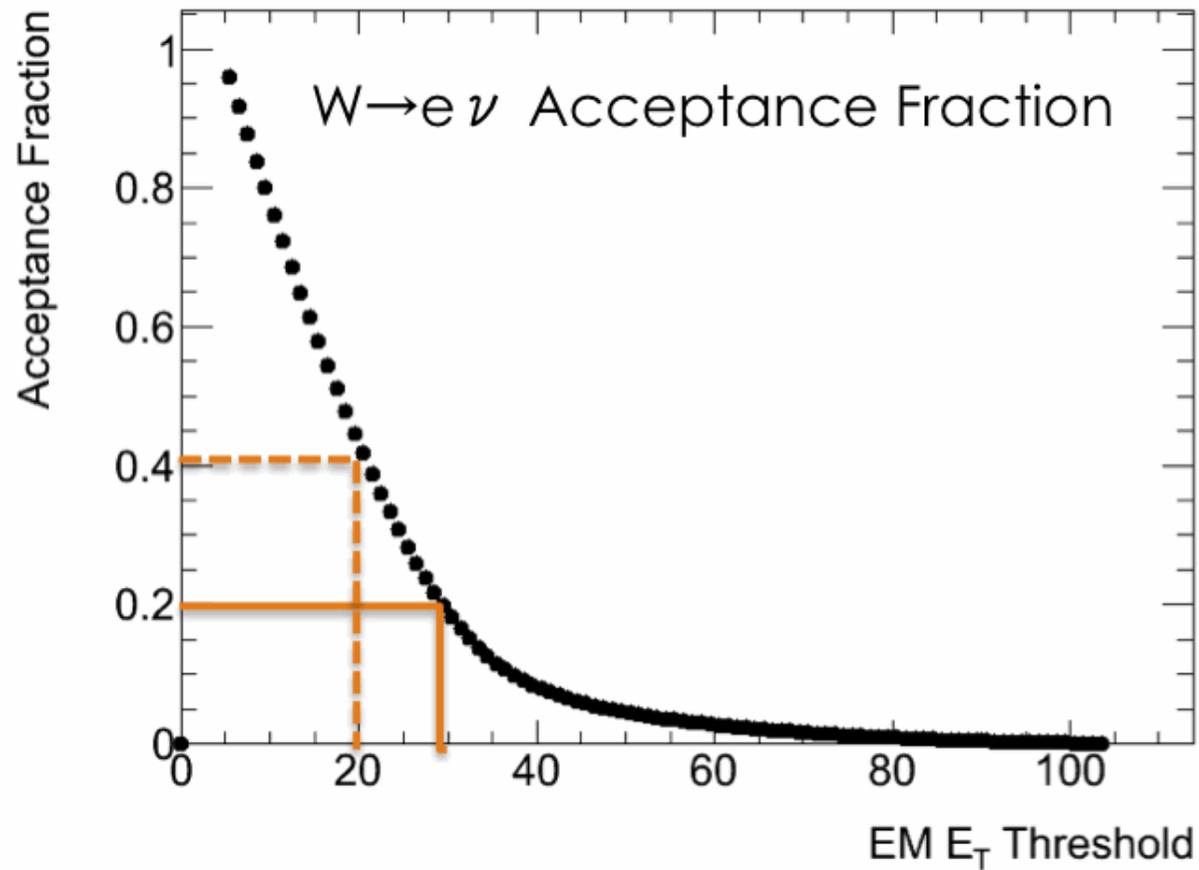
# EM LVL1 trigger rates



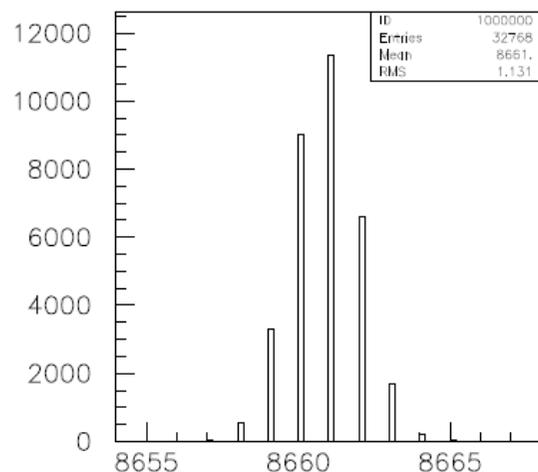
# MU LVL1 trigger rates



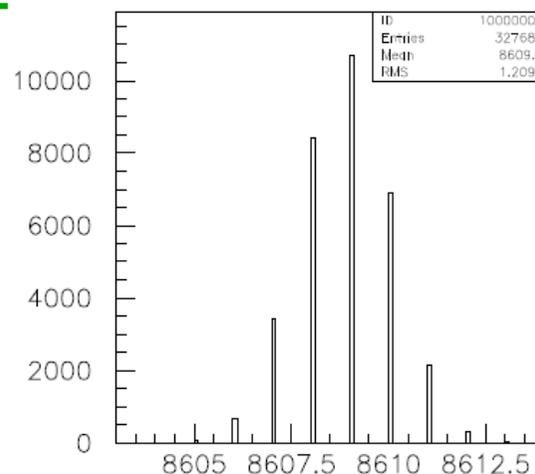
# Acceptance W vs Et threshold



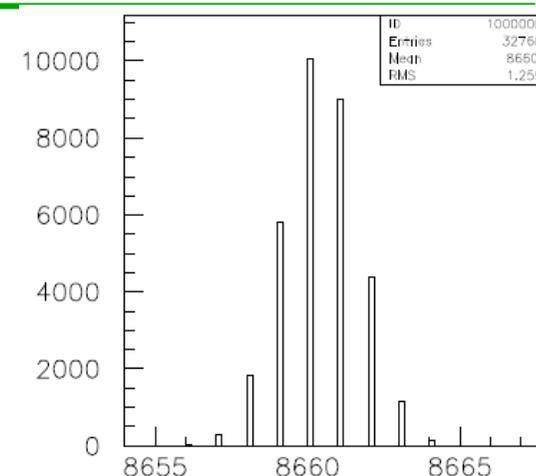
## Saclay on LTDB : Results on the LTDB\_Eval board/Noise



CAEN ADC alone:  
noise ~1.15-1.2  
LSB



Active pole:  
noise ~1.3 LSB



L-R pole:  
noise ~1.3 LSB

- The overall noise on a channel with an active pole or an L-R pole is 0.3LSB, of the CAEN 5724 digitizer, i.e.  $137.3\mu\text{V} \times 0.3 = 41\mu\text{V}$  ( $\sim 12\text{MeV}$  on Middle,  $\text{Eta}=0.8^*$ )
- That corresponds , because the bandwidth is  $\sim 1/(2\pi \cdot 15\text{ns})$ , to  $12.65\text{nv/Hz}^{-2}$
- one can notice that, for a 12-bits ADC with  $\pm 1\text{V}$  range the LSB is  $610\mu\text{V}$  and the noise will not be sampled

\* $1.22\text{mV} \Leftrightarrow 341\text{MeV}$

