



Caractérisation de la réponse de chip CMOS pour l'upgrade de l'Upstream Tracker de LHCb.

Spécialité Physique nucléaire

Niveau d'étude Bac+5

Formation Master 2

Unité d'accueil [DPhN/LQGP](#)

Candidature avant le 29/05/2023

Durée 4 mois

Poursuite possible en thèse non

Contact [AUDURIER Benjamin](#)
+33 1 69 08 73 08
benjamin.audurier@cea.fr

Résumé

Le projet de stage est d'étudier et de caractériser la fonction de réponse de chips CMOS. L'étudiant.e choisi.e devra d'abord préparer une simulation GEANT4 pour reproduire le montage expérimental utilisé lors des essais faisceaux réalisés au CERN. L'étudiant.e caractérisera ensuite la fonction de réponse de différents chips en comparant le résultat de ses simulations avec les bases de données.

Sujet détaillé

#SYNOPSIS

Le détecteur LHCb est l'un des quatre principaux détecteurs installés sur le Grand collisionneur de hadrons (LHC) du CERN. Conçu pour étudier la production de quarks lourds dans les collisions proton-proton, Tous ses sous-détecteurs passeront par une phase d'upgrade majeure à l'horizon 2030. Parmi ces détecteurs, l'Upstream Tracker (UT), un trajectographe à quatre stations installé en amont de l'aimant de LHCb, est un élément essentiel de la reconstruction, notamment pour identifier les fausses traces reconstruites par les algorithmes dans les collisions à haute multiplicité de particule produite, telles que les collisions d'ions lourds.

Initialement constitué de strips, la technologie du futur UT sera modifier pour utiliser des pixels afin de faire face au taux de collision élevé prévu au LHC en 2030. Le choix de la future technologie utilisée n'est pas encore déterminé, et des études basées sur la simulation sont nécessaires pour comparer les différentes options technologiques. Un ingrédient clé est la fonction de réponse du chip, qui peut être caractérisée sur la base des simulations GEANT4 et des bases de données de tests faisceaux effectués au CERN. Cette fonction de réponse est en effet nécessaire pour les études de performance des chips, et donc cruciale pour choisir la future technologie de l'UT.

#Projet de stage:

Le projet de stage est d'étudier et de caractériser la fonction de réponse de chips CMOS. L'étudiant.e choisi.e devra d'abord préparer une simulation GEANT4 pour reproduire le montage expérimental utilisé lors des essais faisceaux réalisés au CERN. L'étudiant.e caractérisera ensuite la fonction de réponse de différents chips en comparant le résultat de ses simulations avec les bases de données.

#Equipe de stage:
Laboratoire: IQGP at CEA Saclay.
Encadrant: Benjamin Audurier (benjamin.audurier@cea.fr).

Mots clés

Technologie CMOS, Simulation GEANT4

Compétences

Simulation GEANT4. Analyse de donnée avec le framework ROOT.

Logiciels

CMOS chip response characterization for the future Upstream Tracker of the LHCb collaboration.

Summary

The internship project is to study and characterize the response function of CMOS chip. To archive this goal, the chosen student will first implement a simple GEANT4 simulation to reproduce the experimental setup used during the beam tests made at CERN. The student will then characterize the response function of different chips by comparing the output of his/her simulations with the databases.

Full description

#Research overview:

The LHCb detector is one of the four major detectors installed on the Large Hadron Collider (LHC) at CERN. Designed to study heavy-quark production in proton-proton collisions, the detector will undergo a major upgrade in 2030 of all its sub-detectors. Among them, the Upstream Tracker (UT), a four stations tracker installed upstream of the LHCb magnet, is crucial to distinguish fake reconstructed tracks from good ones in heavy-ion collisions with a high particle multiplicity, such as heavy-ion collisions.

Initially made out of strips, the UT will have to be rebuilt with pixel chips to cope with the high collision rate foreseen at the LHC in 2030. The choice of pixel technology is not settled, and studies based on simulation are required to compare the different options. A key ingredient is the chip response function, which can be characterized based on GEANT4 simulations and databases from beam tests made at the CERN. This response function is mandatory for performance studies and ultimately to choose the UT's future technology.

#INTERNSHIP project:

The internship project is to study and characterize the response function of CMOS chip. To archive this goal, the chosen student will first implement a simple GEANT4 simulation to reproduce the experimental setup used during the beam tests made at CERN. The student will then characterize the response function of different chips by comparing the output of his/her simulations with the databases.

#INTERNSHIP TEAM:

Laboratory: IQGP at CEA Saclay.

Internship supervisor: Benjamin Audurier (benjamin.audurier@cea.fr).

Duration: Four months.

Keywords

CMOS technology, GEANT4 simulation

Skills

GEANT4 simulation. Data analysis with the ROOT framework.

Softwares